

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2001-256772

(P2001-256772A)

(43)公開日 平成13年9月21日(2001.9.21)

(51)Int.Cl. ⁷	識別記号	F I	テ-マ-ト*(参考)
G 1 1 C 5/00	3 0 3	G 1 1 C 5/00	3 0 3 A 5 B 0 6 0
G 0 6 F 1/18		G 0 6 F 3/00	K
		13/16	5 1 0 A
	5 1 0	1/00	3 2 0 G
H 0 1 L 25/04		H 0 1 L 25/04	Z
審査請求 未請求 請求項の数16 O L (全 25 頁) 最終頁に続く			

(21)出願番号 特願2000-72484(P2000-72484)

(22)出願日 平成12年3月10日(2000.3.10)

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 船場 誠司

東京都小平市上水本町五丁目20番1号 株

式会社日立製作所半導体グループ内

(72)発明者 中込 儀延

東京都小平市上水本町五丁目20番1号 株

式会社日立製作所半導体グループ内

(74)代理人 100089071

弁理士 玉村 静世

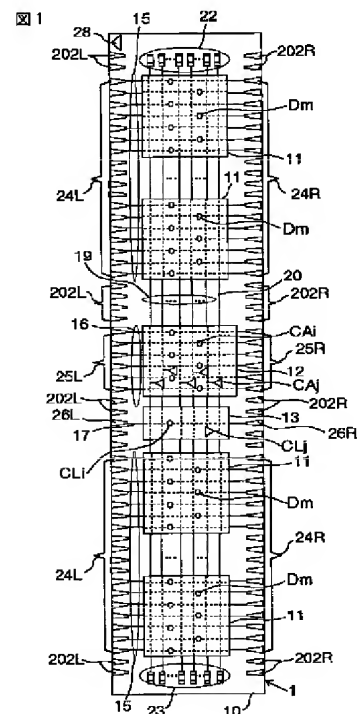
最終頁に続く

(54)【発明の名称】 メモリモジュール

(57)【要約】

【課題】 信号反射による信号波形の乱れを抑えて信号伝送の信頼性を向上させ、アクセス時間の増大を抑制することができるメモリモジュールを提供する。

【解決手段】 モジュール基板(10)は複数のメモリチップ(1)における夫々のチップデータ端子(Dm)に対応して個別に設けられた複数のモジュールデータ端子対(24L, 24L)と、前記複数のモジュールデータ端子対の間を夫々接続する複数のモジュールデータ配線(15)とを有する。複数のモジュールデータ配線は、夫々対応する前記チップデータ端子に接続され、メモリアクセスデータバスとして利用可能に構成される。複数のメモリモジュールを並列させたメモリシステムでは各メモリモジュールのモジュールデータ配線が一連に接続され、個々のモジュールデータ配線は、メモリシステムのマザーボード上のデータバスに対する分岐配線を構成しない。メモリモジュールは、メモリアクセスデータバスのバス幅に応じたビット数の並列アクセスが保証される。



【特許請求の範囲】

【請求項 1】 モジュール基板と、前記モジュール基板に搭載され、夫々複数のチップデータ端子を有する複数のメモリチップとを備え、

前記モジュール基板は前記複数のメモリチップにおける夫々のチップデータ端子に対応して個別に設けられた複数のモジュールデータ端子対と、前記複数のモジュールデータ端子対の間を夫々接続する複数のモジュールデータ配線とを有し、

前記複数のモジュールデータ配線は夫々対応する前記チップデータ端子に接続され、メモリアクセスデータバスとして利用可能なものであることを特徴とするメモリモジュール。

【請求項 2】 モジュール基板と、前記モジュール基板に搭載され、夫々複数のチップデータ端子を有する複数のメモリチップとを備え、

前記モジュール基板は前記複数のメモリチップにおける夫々のチップデータ端子に対応して個別に設けられた複数のモジュールデータ端子対と、前記複数のモジュールデータ端子対の間を夫々接続する複数のモジュールデータ配線とを有し、

前記複数のモジュールデータ配線は夫々対応する前記チップデータ端子に接続され、

前記複数のメモリチップは並列的にチップ選択制御されるものであることを特徴とするメモリモジュール。

【請求項 3】 前記複数のメモリチップはモジュール基板の長手方向に沿って配列され、前記モジュールデータ端子対はモジュール基板のメモリチップ搭載面における一方の長辺部分と他方の長辺部分とに配置されて成るものであることを特徴とする請求項 1 又 2 記載のメモリモジュール。

【請求項 4】 前記複数のメモリチップはモジュール基板の長手方向に沿って配列され、前記モジュールデータ配線はモジュール基板のメモリチップ搭載面における一方の長辺部分から他方の長辺部分に向けて延在されて成るものであることを特徴とする請求項 1 又 2 記載のメモリモジュール。

【請求項 5】 前記複数のメモリチップはモジュール基板の長手方向に沿って配列され、前記モジュールデータ端子対は共にモジュール基板の一方の長辺部分に配置されて成るものであることを特徴とする請求項 1 又 2 記載のメモリモジュール。

【請求項 6】 前記モジュールデータ配線は同一配線層に往復形成されて対応するモジュールデータ端子対に接続されて成るものであることを特徴とする請求項 5 記載のメモリモジュール。

【請求項 7】 前記モジュールデータ配線は配線層間孔を介して導通された相互に異なる配線層に形成されて対応するモジュールデータ端子対に接続されて成るものであることを特徴とする請求項 5 記載のメモリモジュール。

ル。

【請求項 8】 前記メモリチップはモジュール基板の両面に搭載されて成るものであることを特徴とする請求項 5 乃至 7 の何れか 1 項記載のメモリモジュール。

【請求項 9】 モジュール基板と、前記モジュール基板の長手方向に沿って搭載され、夫々複数のチップデータ端子及び複数のチップアドレス端子を有する複数のメモリチップとを備え、

前記モジュール基板は前記複数のメモリチップにおける夫々のチップデータ端子に対応して個別に設けられた複数のモジュールデータ端子対と、前記複数のメモリチップに共通のモジュールアドレス端子対と、前記複数のモジュールデータ端子対を夫々直線状に接続する複数のモジュールデータ配線と、前記モジュールアドレス端子対を直線状に接続すると共に交差方向に延在して複数のメモリチップのチップアドレス端子に共通接続するモジュールアドレス配線とを有し、

前記複数のモジュールデータ配線は夫々対応する前記チップデータ端子に接続されて成るものであることを特徴とするメモリモジュール。

【請求項 10】 前記モジュールアドレス配線に介在されたアドレスバッファ回路を有し、

前記モジュールアドレス配線は、モジュールアドレス端子対を直線状に接続すると共に前記アドレスバッファ回路の入力端子に接続する第 1 のモジュールアドレス配線と、前記アドレスバッファ回路の出力端子から複数のメモリチップのチップアドレス端子に共通接続され、前記第 1 のモジュールアドレス配線と交差方向に配置される第 2 のモジュールアドレス配線とから成るものであることを特徴とする請求項 9 記載のメモリモジュール。

【請求項 11】 前記第 2 のモジュールアドレス配線は、その特性インピーダンスを有する抵抗素子を介して終端電圧端子に接続されて成るものであることを特徴とする請求項 10 記載のメモリモジュール。

【請求項 12】 前記チップデータ端子は少なくとも隣接する端子相互間でモジュールデータ配線の延在方向にずらされて配置されて成るものであることを特徴とする請求項 9 乃至 11 の何れか 1 項記載のメモリモジュール。

【請求項 13】 モジュール基板と、前記モジュール基板の長辺に沿って搭載され、夫々複数のチップデータ端子を有する複数のメモリチップとを備え、前記モジュール基板は前記複数のメモリチップにおける夫々のチップデータ端子に対応して個別に設けられた複数のモジュールデータ端子対と、前記複数のモジュールデータ端子対の間を夫々接続する複数のモジュールデータ配線とを有し、

前記複数のモジュールデータ配線は夫々対応する前記チップデータ端子に接続され、モジュール基板の短辺の長さ到大凡等しい長さを有して成るものであることを特徴

3

とするメモリモジュール。

【請求項 14】 前記モジュールデータ配線は一筆書き可能な配線径路を有して成るものであることを特徴とする請求項 1 乃至 13 の何れか 1 項記載のメモリモジュール。

【請求項 15】 前記モジュールデータ配線は一筆書き可能な第 1 の配線径路とこの第 1 の配線径路から分岐して前記モジュールデータ端子に接続する第 2 の配線径路とを有し、前記第 2 の配線径路の配線径路長は、正常動作を保証すべき信号の状態遷移時間に比べて当該信号が前記第 2 の配線径路を往復する時間の方が短くなるように設定されて成るものであることを特徴とする請求項 1 乃至 13 の何れか 1 項記載のメモリモジュール。

【請求項 16】 モジュール基板と、前記モジュール基板の長手方向に沿って搭載され、夫々複数のチップ接続端子を有する複数のメモリチップとを備え、前記モジュール基板は前記複数のメモリチップのチップ接続端子に対応して設けられた複数のモジュール接続端子と、前記モジュール接続端子と前記チップ接続端子とを接続するモジュール配線とを有し、前記モジュール配線は直線状に配置された複数個のチップ接続端子の内の所定のチップ接続端子を迂回して他の所定のチップ接続端子に接続されて成るものであることを特徴とするメモリモジュール。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、メモリモジュールにおいて分岐配線（スタブ）に起因する伝送信号の反射を抑える技術に関し、高速アクセス対応のメモリモジュールに適用して有効な技術に関するものである。

【0002】

【従来の技術】メモリモジュール向けの小振幅インタフェースとして SSTL (Stub Series Terminated Transceiver Logic) がある。SSTL については、例えば、1999 年 3 月、電子情報通信学会発行、英文論文誌 VOLS. E82-C, NO. 3, Yasuhiro KONISHI 他著, 「Interface Technologies for Memories and ASICs-Review and Future Direction」に記載されている。

【0003】SSTL によるメモリシステムは主にマザーボードに実装されたメモリコントローラ、信号配線、コネクタ及びメモリモジュールから構成されている。メモリモジュールはモジュール基板の両面に夫々 m 個のメモリチップを有し、 m 個単位で各メモリチップのデータ端子はモジュールデータ端子に接続され、各メモリチップのアドレス端子などのアクセス制御データ端子は夫々対応するモジュールアクセス制御端子に接続される。前記信号配線の片端はメモリコントローラの信号端子に接続され、他端は所定の電圧に終端されている。前記信号配線には複数のメモリモジュールがコネクタを介して並列に接続されている。ここでメモリチップのデータ端子

4

の数を n 、各メモリモジュールの片面に搭載されているメモリチップの数を m とすると、本メモリシステムは $m \times n$ のデータ信号配線を有しており、1 回のアクセスにおいては、メモリコントローラが発生するチップセレクト信号により複数のメモリモジュールの内の 1 枚の片面に搭載されている m 個のメモリチップが選択される。前記信号配線の終端は終端抵抗を介して終端電圧に接続されている。またメモリコントローラとコネクタを結ぶ信号配線にはメモリコントローラ用スタブ抵抗が直列接続されている。

【0004】ここで、メモリモジュールのモジュール端子とメモリチップの端子とを結ぶモジュール配線はマザーボードの信号配線からコネクタを介して分岐した配線を構成する。これらのモジュール配線にはスタブ抵抗が配置されている。これらのスタブ抵抗は信号配線における信号反射を緩和するための整合負荷としての役目をもっている。一般に配線の分岐点では特性インピーダンスに不整合が生じ、それを緩和するためのスタブ抵抗が必要となる。配線の特性インピーダンスを Z_0 、スタブ配線の特性インピーダンスを Z_s とすると、スタブ抵抗の抵抗値としては $Z_s = Z_0 / 2$ が適当である。しかしながら、スタブ抵抗の抵抗値を大きくすると抵抗による電圧降下が大きくなり、これによってアドレスやデータ等の信号電圧が減衰して、メモリ動作に誤りを生ずる虞がある。そうだからといって、信号電圧の減衰を避けるためにスタブ抵抗の抵抗値を小さく抑えようと、逆に信号反射が顕在化し、信号波形が乱れ、同じく誤動作の虞を生ずる。動作が高速化されて信号周波数が高くされるに従い、そしてスタブ抵抗によって対策しようとする分岐配線が長いほど、受信端における信号波形の乱れが大きくなる。

【0005】一方、別のメモリシステムとして、マザーボード上でメモリコントローラに接続された信号配線に複数のメモリモジュールをコネクタを介して直列に接続する形式がある。メモリモジュールには複数のメモリチップがモジュールデータ信号配線を介して一筆書き配線径路で接続されている。このメモリシステムではメモリ素子のデータ信号端子数を n とすると、メモリモジュールの片面に搭載されているメモリ素子の数 m に拘わらず、 n のモジュールデータ信号配線を有し、1 回のアクセスでは複数のメモリチップの内の 1 個のメモリチップが選択される。

【0006】

【発明が解決しようとする課題】上記別のメモリシステムにおいて、マザーボードの信号配線に対して全てのメモリモジュールが直列に接続されており、メモリモジュール内のモジュール信号配線は一列に並んだメモリチップ全てに直列接続され、メモリモジュールの長辺方向に沿って敷設される。したがって、前記 SSTL のようにマザーボード上の信号配線に対してメモリモジュールは

5

殆ど分岐配線を形成せず、分岐配線で生じる不所望な信号反射による波形の乱れといった問題は少ない。

【0007】しかしながら、信号配線の長さが増大し、メモリコントローラから最遠端のメモリチップへの信号伝播時間が長くなり、アクセス時間の遅延が大きくなることが本発明者によって明らかにされた。

【0008】以上のように、SSTL形式ではメモリモジュールのモジュール配線がメモリシステム上で分岐配線を構成する事になり、これによる信号反射による誤動作を生じ、メモリ動作の高速化を制限することになるという問題があり、また、メモリチップを直列的に接続する形式のメモリモジュールでは前記SSTLのような信号配線の分岐がほとんど存在しないので分岐配線による問題は少ないが、メモリモジュール内の信号配線が長くなることによってアクセス時間が遅延し、一層の高速アクセスに対応できなくなる虞のあることが本発明者によって明らかにされた。

【0009】本願発明者は本願発明を完成した後、以下の公知例を認識した。特開平5-234355号公報、特開平6-150085号公報には、メモリモジュールの両方の長辺部分にコネクタを設け、複数のメモリモジュールを縦続接続できるようにした発明が開示される。但し、それらにはメモリモジュール内部の配線構造が開示されていない。特開平7-334415号公報には拡張用メモリモジュールを縦続接続可能とする拡張用コネクタを有するメモリモジュールを開示する。特開平7-261892号公報には、メモリモジュールに入り口コネクタと出口コネクタを設け、その間をメモリモジュール上のメモリバスで接続し、当該メモリバスにメモリ素子を直列に接続して、不所望な信号反射を抑えるようにした発明が開示される。しかしながら、前記第1乃至第3の公知例は縦続接続可能なメモリモジュールの技術を提供するに過ぎず、第4の公知例はメモリモジュール上のメモリバスに複数のメモリ素子を直列形態に接続する方式を示すに過ぎず、何れの公知例も本願発明に至る着想を与えるものではない。

【0010】本発明の目的は、信号反射による信号波形の乱れを抑えて信号伝送の信頼性を向上させることができると共に、アクセス時間の増大を抑制することができるメモリモジュールを提供することにある。

【0011】本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

【0012】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

【0013】〔1〕メモリモジュールは、モジュール基板と、前記モジュール基板に搭載され、夫々複数のチップデータ端子を有する複数のメモリチップとを備え

6

る。前記モジュール基板は前記複数のメモリチップにおける夫々のチップデータ端子に対応して個別に設けられた複数のモジュールデータ端子対と、前記複数のモジュールデータ端子対の間を夫々接続する複数のモジュールデータ配線とを有する。前記複数のモジュールデータ配線は、夫々対応する前記チップデータ端子に接続され、メモリアクセスデータバスとして利用可能に構成される。

【0014】上記メモリモジュールでは、メモリモジュール上のモジュールデータ配線がメモリアクセスデータバスを構成するから、複数のメモリモジュールを並列させたメモリシステムでは各メモリモジュールのモジュールデータ配線が一連に接続され、個々のモジュールデータ配線は、メモリシステムのマザーボード上のデータバスに対する分岐配線を構成しない。したがって、メモリシステムのマザーボード上のデータバスに対する分岐に起因するような信号反射を生じない。更に、個々のメモリモジュール上においてチップデータ端子は直接前記モジュールデータ配線に接続するから、モジュールデータ配線に対する分岐に起因するような信号反射も生じない。そして、メモリモジュールは、メモリアクセスデータバスのバス幅に応じたビット数の並列アクセスが保証されている。これにより、アクセス時間の増大を抑制しながら、信号反射による信号波形の乱れを抑えて信号伝送の信頼性を向上させることが可能になる。

【0015】前記複数のモジュールデータ配線を単一のメモリアクセスデータバスと見なす上記観点では、前記複数のメモリチップが並列的にチップ選択制御される、という観点で把握することも可能である。

【0016】モジュールデータ端子対やモジュールデータ配線の具体的な態様としては、種々の態様を採用してよい。第1は、前記複数のメモリチップがモジュール基板の長手方向に沿って配列されるとき、前記モジュールデータ端子対はモジュール基板のメモリチップ搭載面における一方の長辺部分と他方の長辺部分とに配置してよい。換言すると、前記モジュールデータ配線を、モジュール基板のメモリチップ搭載面における一方の長辺部分から他方の長辺部分に向けて延在させればよい。更に別の観点では、複数のモジュールデータ配線はモジュール基板の短辺の長さに大凡等しい長さを有するものと把握してよい。これにより、モジュールデータ配線の配線長は必然的に短くなり、配線の寄生容量や配線抵抗が小さくなる。

【0017】第2に、前記複数のメモリチップがモジュール基板の長手方向に沿って配列されるとき、前記モジュールデータ端子対は共にモジュール基板の一方の長辺部分に配置してよい。具体的には、前記モジュールデータ配線は同一配線層に往復形成されて対応するモジュールデータ端子対に接続される。また、前記モジュールデータ配線は配線層間孔を介して導通された相互に異なる

7

配線層に形成されて対応するモジュールデータ端子対に接続される。

【0018】第3に、前記メモリチップをモジュール基板の両面に搭載してメモリモジュールを構成してよい。

【0019】〔2〕メモリモジュールは、モジュール基板と、前記モジュール基板の長手方向に沿って搭載され、夫々複数のチップデータ端子及び複数のチップアドレス端子を有する複数のメモリチップとを備える。前記モジュール基板は前記複数のメモリチップにおける夫々のチップデータ端子に対応して個別に設けられた複数のモジュールデータ端子対と、前記複数のメモリチップに共通のモジュールアドレス端子対と、前記複数のモジュールデータ端子対を夫々直線状に接続する複数のモジュールデータ配線と、前記モジュールアドレス端子対を直線状に接続すると共に交差方向に延在して複数のメモリチップのチップアドレス端子に共通接続するモジュールアドレス配線とを有する。前記複数のモジュールデータ配線は夫々対応する前記チップデータ端子に接続される。

【0020】この手段によれば、上記同様、アクセス時間の増大を抑制しながら、信号反射による信号波形の乱れを抑えて信号伝送の信頼性を向上させることが可能になる。特に、モジュールデータ配線と共にモジュールアドレスアドレス配線の配線長短縮に寄与する。

【0021】前記モジュールアドレス配線はモジュールアドレス端子対を結合する直線状の配線部分に対して交差方向に延在して複数個メモリチップのチップアドレス端子にアドレス信号を分配するから、前記モジュールアドレス配線にアドレスバッファ回路を介在させ、モジュールアドレス端子対を直線状に接続すると共に前記アドレスバッファ回路の入力端子に接続する第1のモジュールアドレス配線と、前記アドレスバッファ回路の出力端子から複数のチップアドレス端子に共通接続され前記第1のモジュールアドレス配線と交差方向に配置される第2のモジュールアドレス配線とに分けて前記モジュールアドレス配線を構成すれば、モジュールアドレス配線上に無視し得ないインピーダンス不整合点が形成されるのを抑制可能になる。要するに、第1のモジュールアドレス配線上からは第2のモジュールアドレス配線への分岐が見えなくなる。

【0022】前記第2のモジュールアドレス配線に対しては、その特性インピーダンスを有する抵抗素子を介して終端電圧端子に接続してよい。これにより、第2のモジュールアドレス配線の端が整合終端されるので、当該配線において信号反射による波形の乱れを抑えることが可能になる。

【0023】前記データ端子を少なくとも隣接する端子相互間でモジュールデータ配線の延在方向にずらして配置し、同様に、前記アドレス端子を少なくとも隣接する端子相互間でモジュールアドレス配線の延在方向にずら

8

して配置してよい。チップデータ端子とモジュールデータ配線とのコンタクト、そしてチップアドレス端子とモジュールアドレス配線とのコンタクトが形成し易くなる。

【0024】〔3〕前記モジュールデータ配線それ自体に分岐のないことを積極的に表明しようとするなら、前記モジュールデータ配線は一筆書き可能な配線径路を有するものであると把握してよい。

【0025】実際の信号反射を考慮すれば、大凡以下の条件を満足すれば不所望な信号反射を生じない。すなわち、前記モジュールデータ配線は一筆書き可能な第1の配線径路とこの第1の配線径路から分岐して前記モジュールデータ端子に接続する第2の配線径路とを有し、前記第2の配線径路の配線径路長は、正常動作を保證すべき信号の状態遷移時間に比べて当該信号が前記第2の配線径路を往復する時間の方が短くなるように設定される。

【0026】〔4〕メモリモジュールにおいて、メモリチップの縦横に多数配置されたチップ接続端子とモジュール配線との接続を比較的容易に実現する手段として以下の手段を採用してよい。すなわち、メモリモジュールは、モジュール基板と、前記モジュール基板の長手方向に沿って搭載され、夫々複数のチップ接続端子を有する複数のメモリチップとを備える。前記モジュール基板は前記複数のメモリチップのチップ接続端子に対応して設けられた複数のモジュール接続端子と、前記モジュール接続端子と前記チップ接続端子とを接続するモジュール配線とを有する。前記モジュール配線は直線状に配置された複数個のチップ接続端子の内の所定のチップ接続端子を迂回して他の所定のチップ接続端子に接続されて成る。

【0027】

【発明の実施の形態】《第1のメモリモジュール》図1は本発明による第1のメモリモジュールの平面図、図2は側面図である。図1及び図2に示されるメモリモジュール1は、エポキシ樹脂等で成るような概略長方形形状のモジュール基板10の表裏に、複数個のメモリチップ11、コマンド・アドレスバッファチップ12、及びPLLチップ13が夫々実装される。

【0028】メモリモジュール1は、モジュール内の配線として、モジュール基板10の短辺方向に、モジュールデータ配線15、モジュールコマンド・アドレス配線16、モジュールクロック配線17を有し、モジュール基板10の長辺方向に、モジュールコマンド・アドレス分配配線19、及びモジュールクロック分配配線20を有する。モジュールコマンド・アドレス分配配線19及びモジュールクロック分配配線20には終端抵抗22、23が設けられている。終端抵抗22、23はモジュールコマンド・アドレス分配配線19、モジュールクロック分配配線20の末端を終端電源に終端しており、接続

されている配線の特性インピーダンスもしくは実効的な特性インピーダンスの抵抗値を有している。それら配線 15, 16, 17, 19, 20 はモジュール基板 10 の表裏に同等に形成されている。尚、メモリモジュール上のマーク 28 はメモリモジュール 1 をコネクタに装着する際、メモリモジュール 1 の装着方向を指示するものである。

【0029】メモリモジュール 1 はモジュール外部端子として、モジュール基板 10 の対向する長辺部分にモジュールデータ端子対 24R, 24L、モジュールコマンド・アドレス端子対 25R, 25L、及びモジュールクロック端子対 26R, 26L を有する。それらモジュール外部端子 24R, 24L, 25R, 25L, 26R, 26L はモジュール基板 10 の表裏に同等に形成されている。

【0030】前記モジュールデータ配線 15 は左右の対応するモジュールデータ端子対 24R, 24L を接続する。そしてモジュールデータ配線 15 の途中に、メモリチップ 11 のメモリデータ端子 Dm が接続される。メモリチップ 11 は例えば回路基板実装用のバンプ電極をアレイ状に有するフリップチップ（若しくはフリップチップ型半導体集積回路）である。メモリデータ端子 Dm は例えばフリップチップの半田バンプ電極とされる。メモリチップ 11 においてそのようなメモリデータ端子 Dm には○印が付されている。

【0031】前記モジュールコマンド・アドレス配線 16 は左右の対応するモジュールコマンド・アドレス端子対 25R, 25L を接続する。そしてモジュールコマンド・アドレス配線 16 の途中に、コマンド・アドレスバッファチップ 12 のバッファコマンド・アドレス入力端子 CAi が接続される。例えばコマンド・アドレスバッファチップ 12 も前記フリップチップであり、前記バッファコマンド・アドレス入力端子 CAi は半田バンプ電極とされ、コマンド・アドレスバッファチップ 12 においてそのようなバッファコマンド・アドレス入力端子 CAi は○印が付されている。

【0032】前記モジュールクロック配線 17 は左右の対応するモジュールクロック端子対 26R, 26L を接続する。そしてモジュールクロック配線 17 の途中に、PLL チップ 13 の PLL クロック入力端子 CLi が接続される。例えば PLL チップ 13 はフリップチップであり、PLL クロック入力端子 CLi は半田バンプ電極とされ、PLL チップ 13 においてそのような PLL クロック入力端子 CLi は○印が付されている。

【0033】前記モジュールコマンド・アドレス分配配線 19 はモジュール基板 10 の長辺方向に沿って敷設され、その中間部分が前記コマンド・アドレスバッファチップ 12 のバッファコマンド・アドレス出力端子 CAj に接続される。同様にモジュールクロック分配配線 20 はモジュール基板 10 の長辺方向に沿って敷設され、そ

の中間部分が PLL クロック出力端子 CLj に接続される。前記バッファコマンド・アドレス出力端子 CAj 及び PLL クロック出力端子 CLj は三角形で示された出力バッファの出力端子が接続されているようにシンボリックに表示されている。

【0034】前記メモリチップ 11 のコマンド・アドレス入力用のメモリコマンド・アドレス端子（図示せず）は前記モジュールコマンド・アドレス分配配線 19 に接続され、また、前記メモリチップ 11 のクロック入力用のメモリクロック端子（図示せず）及びバッファチップ 12 のクロック入力用のバッファクロック端子（図示せず）は前記モジュールクロック分配配線 20 に接続される。メモリチップ 11 及びバッファチップ 12 は PLL チップ 13 からモジュールクロック分配配線 20 を介して供給されるクロック信号に同期して、メモリ動作及びラッチ動作が可能にされる。

【0035】なお、図 1 では前記メモリコマンド・アドレス端子、メモリクロック端子、バッファクロック端子、及びチップ電源端子は明示的に図示していない。また、図 1 において動作電源用のモジュール電源端子は符号 202L, 202R で示される。

【0036】図 3 には前記メモリモジュール 1 におけるメモリチップに関する布線の例が示される。モジュール基板 10 は、表裏夫々について第 1 層（表層）及び第 2 層（内層）の 2 層配線構造を有し、第 1 層の配線は実線で示し、第 2 層の配線は破線で示す。図において○印はメモリチップのバンプ電極のような外部端子、●印は配線層のヴィア（層間孔）である。図のメモリチップはシンクロナス DRAM を一例とするものであり、A0～A13 はアドレス、D0～15 はデータ、CLK, /CLK は 2 相クロックである。CKE はクロックイネーブル、DML, DMU はデータマスク、/CS はチップ選択、/RAS はロウアドレスストローブ、/CAS はカラムアドレスストローブ、/WE はライトイネーブル、DQSL, DQSU はデータストローブ、のアクセス制御信号若しくはコマンド信号である。図 3 に示される VCCQ, VSSQ, VCC, VSS, VSSQ は電源端子である。

【0037】モジュールコマンド・アドレス分配配線 19 及びモジュールクロック分配配線 20 はモジュール基板 10 上のモジュールデータ配線 15 に直交する形で布線される。図 3 より明かなように、それぞれの信号配線 19, 20 はメモリチップ 11 の対応端子と一筆書き可能な配線径路を介して接続される。この一筆書き配線径路によれば、モジュールコマンド・アドレス分配配線 19 及びモジュールクロック分配配線 20 それ自体に分岐のないことは明らかである。

【0038】不所望な信号反射の抑制という観点からすれば、前記一筆書き径路は最適であるが、全ての配線分岐を否定するものではない。大凡以下の条件を満足すれ

ば不所望な信号反射を生じない。すなわち、D0、D1等のためのモジュールデータ配線15はモジュール基板10の第2層の配線層に形成されており、ビア（層間孔）を介してメモリチップ11のメモリデータ端子Dmに接続するとき、ビアの部分が僅かに分岐部を形成する。したがって、モジュールデータ配線15は一筆書き可能な第1の配線径路になるがこの第1の配線径路から分岐してメモリデータ端子Dmに接続するビアの部分が第2の配線径路を構成することになる。このとき、前記第2の配線径路の配線径路長は、例えば正常動作を保証すべき信号の状態遷移時間に比べて当該信号が前記第2の配線径路を往復する時間の方が短くなるように設定されていけばよい。要するは、信号反射の点で無視し得るほど信号径路の短い分岐部分は実質的に一筆書き配線径路の一部と見なし得てもよい。

【0039】図3のD0、D1のように前記メモリデータ端子を少なくとも隣接する端子相互間でモジュールデータ配線の延在方向にずらして配置すると、メモリデータ端子Dmとモジュールデータ配線15とのコンタクトが形成し易くなる。

【0040】図4は本発明に係るメモリモジュール1を有するメモリシステムの平面図、図5にはメモリシステムの正面図である。

【0041】同図に示されるメモリシステムは、特に制限されないが、マザーボード101にメモリコントローラ102、コネクタ104A、104B、終端抵抗105、106、信号配線107、電源配線108、終端電圧電源配線109を有し、コネクタ104A、104Bに、例えば前記メモリモジュール1が装着されて構成される。

【0042】前記信号配線107は、図4に例示されるデータ信号配線112、アドレス・コマンド信号配線113、クロック信号配線117から構成されている。前述のように一つのメモリモジュール1の同一の面に搭載されているメモリチップ11のメモリアドレス・コマンド入力端子とアドレス・コマンドバッファチップ12のアドレス・コマンド信号出力端子はそれぞれモジュールアドレス・コマンド分配配線19によって接続されており、メモリモジュール1上のメモリチップ11はアドレス・コマンド信号を前記アドレス・コマンドバッファチップ12からモジュールアドレス・コマンド分配配線19を介して受取る。また、一つのメモリモジュール1の同一の面に搭載されているメモリチップ11のクロック入力端子とアドレス・コマンドバッファチップ12のクロック入力端子とPLLチップ13のクロック出力端子はそれぞれクロック分配配線20によって接続されており、メモリチップ11とアドレス・コマンドバッファチップ12はクロック信号をPLLチップ13からクロック分配配線20を介して受取る。

【0043】図4に例示されるように、複数個のメモリ

モジュール1はマザーボード101上で平行に配置され、メモリモジュール1は左右のコネクタ104によって相互に直列形態で接続される。図5に例示されるように、コネクタ104A、104Bはマザーボード101からメモリモジュール1に電源を供給するための電源配線108を持ち、また隣り合うメモリモジュールの信号端子間を接続する信号配線107（112、113、117）を持っている。マザーボード上で信号配線107はメモリコントローラ102の下を通り、複数のメモリモジュール11内をコネクタ14を介して通過し、その両端あるいは少なくとも片側の端には前記終端抵抗105、106を介して終端電圧電源配線109において所定の電圧VTTに終端されている。

【0044】図5に示されるように、前記メモリコントローラ102の信号端子はメモリコントローラ102の下においてメモリコントローラ102の下を通過する信号配線107に接続している。図4のように、メモリモジュール1上のメモリチップ11のデータ端子はメモリモジュール1を通過するデータ信号配線112に接続している。なおアドレス・コマンド信号配線113及びクロック信号配線117に対してはメモリコントローラ102側の終端抵抗114は無くてもよい。メモリモジュール1上のアドレス・コマンドバッファ12のアドレス・コマンド入力端子はメモリモジュール1を通過するアドレス・コマンド信号配線113にそれぞれ接続している。ここでメモリチップ11のデータ端子数をn、メモリモジュール1の片面に搭載されているメモリチップ11の数をmとすると、図4のメモリシステムはm×nのデータ信号配線112を有しており、1回のアクセスにおいてはメモリコントローラ102が発生するコマンド信号のうちのチップセレクト信号により複数のメモリモジュールの内の一つのメモリモジュールの片面に搭載されているm個のメモリチップ11が選択されるようになっている。

【0045】図6は図4及び図5のメモリシステムの概略的な等価回路図であり、特に1本のデータ信号配線系を示している。このデータ信号配線系を回路的に見ると、主に終端電源109、終端抵抗105、106、マザーボードのデータ信号配線112、コネクタ104A、104B、メモリモジュール1のモジュールデータ配線15が直列に接続されている。ここでマザーボード101のデータ信号配線112及びメモリモジュールのモジュールデータ配線15の全体の長さは数10mmとなるので、回路的には伝送線として扱われる。そしてマザーボード101のデータ信号配線112の終端抵抗105側の片端にはメモリコントローラ102のメモリコントローラI/O端子128があり、メモリコントローラ102の出力回路123の出力容量及びメモリコントローラ102の入力回路124の入力容量等がメモリコントローラI/O負荷容量125として見えている。ま

た同様に各メモリモジュール1のデータ信号配線15の途中にはメモリチップ11のデータ端子(I/O端子)129があり、メモリチップ11の出力回路120の出力容量及び入力回路121の入力容量等がメモリI/O負荷容量122として見えている。メモリコントローラ出力回路123及びメモリチップ11の出力回路120において回路方式はプッシュプル型、オープンドレイン型などが考えられるがここでは特に問わない。また、特に図示はしないが、例えばスルーレートを制御する機構や、出力インピーダンスを制御する機構があってもよい。このデータ信号配線系において両側が終端抵抗で終端されているのは、メモリコントローラ出力回路123からメモリチップ11の入力回路121へ伝送される信号とメモリチップ11の出力回路120からメモリコントローラ入力回路124へ伝送される信号の両方に対して反射を防ぐ事が目的である。従って、メモリコントローラ102のアドレス出力やコマンド出力のような一方のみの信号伝達経路に対しては遠端にだけ終端抵抗を配置してよく、前述のように、図4の終端抵抗114は省略しても差し支えない。

【0046】図7はコネクタ104A、104Bのデータ配線部分を概略的に示す縦断面図である。コネクタ104Aは一方の側面に1条の水平溝を有し、この水平溝の内面の上面及び下面にコネクタ端子列130が形成されている。コネクタ端子列130はコネクタ端子毎にコネクタ内配線135を介してデータ信号配線112の対応配線に接続される。コネクタ104Bは両側面に夫々1条の水平溝を有し、この水平溝の内面の上面及び下面にコネクタ端子列131、132が形成されている。このコネクタ端子列131の端子とコネクタ端子列132の端子とは対応端子同士がコネクタ内配線133、134によって直列に接続されている。

【0047】図8はコネクタ104A、104Bの電源配線部分を概略的に示す縦断面図である。マザーボード101には電源配線108が設けられ、前記電源配線108には、コネクタ端子列130に含まれる電源コネクタ端子がコネクタ内配線137を介して接続され、コネクタ端子列131に含まれる電源コネクタ端子がコネクタ内配線138を介して接続され、コネクタ端子列132に含まれる電源コネクタ端子がコネクタ内配線139を介して接続される。電源に関しても図7の接続を採用する事は可能であるが、図8の接続形態を採用した方がメモリチップ11などに対する電源供給が安定化する。前記コマンド・アドレス配線113に関しても電源配線136と同じようにコネクタ104A、104Bのコネクタ端子列130、131、132に接続してもよい。

【0048】図9はコネクタ104A、104Bに上記メモリモジュール1を装着する際の斜視図である。前記コネクタ104A、104Bに上記メモリモジュール1を装着するには、図9のように、メモリモジュール1の

端子列がコネクタ104A、104Bの端子列130、131に挿入するように差し込む。このときコネクタのマーク140はメモリモジュール1の面の向きや方向を指示するためのもので、メモリモジュール1の装着方向指示マーク28とコネクタのマーク140が最も近づくようにメモリモジュール1の面と方向を合わせる。

【0049】図10はコネクタ104A、104Bに上記メモリモジュール1を装着した時の断面図である。図10では便宜上、メモリモジュール1の上側のメモリチップに接続する経路を信号経路とし、メモリモジュール1の下側のメモリチップに接続する経路を電源経路としている。データ信号経路はコネクタ104A、104B及びメモリモジュール1を分岐せずに通過する配線経路とされる。また各メモリモジュール1の電源配線もマザーボード101の電源配線108とそれぞれ装着されているコネクタ104A、104Bを介して接続されるので、十分な電力供給を実現でき、電源の電圧降下を防止する事ができる。

【0050】上記メモリモジュールによれば以下の作用効果を得ることができる。上記メモリモジュール1によれば、図4より明らかなように、メモリモジュール1上のモジュールデータ配線15は、マザーボード101上のデータ信号配線112と共にメモリアクセスデータバスを構成するから、複数個のメモリモジュール1を直列させたメモリシステムでは、各メモリモジュール1のモジュールデータ配線15が一連に接続され、個々のモジュールデータ配線15は、メモリシステムのマザーボード101上のデータ信号配線112に対する分岐配線を構成しない。したがって、メモリシステムのマザーボード101上のデータ信号配線112に対する分岐に起因するような信号反射を生じない。例えば、図11及び図12のSSTLインタフェースを有する比較例に係るメモリシステムの場合には、マザーボード上のバスに対してメモリモジュールは分岐接続されているから、各分岐毎にスタブ抵抗を配置して不所望な信号反射に対処しようとしている。このため比較例ではマザーボード上のバスそれ自体の遅延成分が大きくなって高速動作が妨げられてしまう。図1のメモリモジュールを用いたメモリシステムではマザーボード上の信号配線の不所望な負荷は大きくならず、信号反射を阻止する構成が高速動作を妨げることはない。

【0051】更に、個々のメモリモジュール1において、メモリチップ11のデータ端子Dmは直接前記モジュールデータ配線15に接続するから、モジュールデータ配線15に対する分岐に起因するような信号反射も生じない。

【0052】そして、メモリモジュール1は、メモリアクセスデータバスのバス幅に応じたビット数の並列アクセスが保証されている。これにより、アクセス時間の増大を抑制しながら、信号反射による信号波形の乱れを抑

えて信号伝送の信頼性を向上させることが可能になる。図 1 3 及び図 1 4 に示される比較例の場合にはメモリモジュール上で複数のメモリチップはモジュール内データバスを共有し、メモリモジュールはシリアルバスに直列的に接続され、当該メモリモジュールはシリアルバスに分岐接続されていないから分岐に起因する信号反射は実質的に生じないが、バスが長くなって配線負荷が増大するために、高速アクセスには限界がある。

【0053】モジュールデータ端子対 24 L、24 R やモジュールデータ配線 15 の態様として、前記複数のメモリチップ 11 がモジュール基板 10 の長手方向に沿って配列されるとき、前記モジュールデータ端子対 24 L、24 R はモジュール基板 10 のメモリチップ搭載面における一方の長辺部分と他方の長辺部分とに配置する。換言すると、前記モジュールデータ配線 15 を、モジュール基板 10 のメモリチップ搭載面における一方の長辺部分から他方の長辺部分に向けて延在させる。これにより、モジュールデータ配線 15 の配線長は必然的に短くなり、配線の寄生容量や配線抵抗が小さくなる。

【0054】モジュールデータ配線 15 をモジュール基板 10 の短辺方向に直線状に敷設し、モジュールコマンド・アドレス配線 16、20 を概略十文字に敷設するから、モジュールデータ配線と共にモジュールコマンド・アドレス配線の配線長短縮に最適である。

【0055】また、モジュールアドレス端子対 25 R、25 L を結合する前記モジュールコマンド・アドレス配線 16 は、コマンド・アドレスバッファチップ 12 を介してコマンド・アドレス分配配線 19 と分離されているから、モジュールコマンド・アドレス配線 16 上に無視し得ないインピーダンス不整合点が形成されることも阻止可能である。

【0056】前記モジュールコマンド・アドレス分配配線 19 配線に対しては、その特性インピーダンスを有する抵抗素子 22、23 で終端することによって、モジュールコマンド・アドレス配線 19 の端が整合終端され、当該配線 19 において信号反射による波形の乱れを極力抑えることが可能になる。

【0057】ここで、上記メモリモジュール 1 を採用したメモリシステムにおけるデータ信号波形のシミュレーション結果を説明する。

【0058】先ず、比較例として、図 1 5 には図 1 1 の形式のメモリシステムにおける SSTL のシミュレーション回路が示される。図 1 6 の (A) には図 1 5 のシミュレーション回路におけるライト時の SSTL 信号波形シミュレーションの結果が示される。図 1 6 の (B) には図 1 5 のシミュレーション回路におけるリード時の SSTL 信号波形シミュレーションの結果が示される。図 1 1 のような回路形式の SSTL では高速動作や分岐配線が長い場合には受信端の信号波形に乱れが生じる場合がある。

【0059】図 1 7 には図 4 で説明したようなメモリシステムのデータ信号に関するシミュレーション回路が例示される。ここで、ライト動作シミュレーションの時、ドライバ 2010 はメモリコントローラ 102 にあり、リード動作シミュレーションの場合は各メモリモジュールにあるとする。ドライバ 2010 は出力抵抗 2009 を有するプッシュプル型出力回路を想定している。ここでは出力抵抗を 50Ω としている。また終端抵抗 R_t はデータ信号配線の実効的特性インピーダンスとほぼ同じ値にしている。メモリコントローラ側の終端抵抗 55Ω はメモリコントローラと近端メモリモジュールの間の伝送線の実効特性インピーダンスとほぼ同じ値にしている。

【0060】図 1 8 の (A) は図 1 7 のシミュレーション回路 (図 4 で説明したメモリシステム) におけるライト動作のシミュレーション結果である。メモリチップに入力されるデータ信号 $bQR0 \sim 3$ ($2001 \sim 2004$) を見ると、比較例である図 1 6 の (A) に示されるライト動作のシミュレーション結果におけるメモリチップに入力されるデータ信号 $bQR0 \sim 3$ ($2101 \sim 2104$) と比べて波形の乱れが小さい事がわかる。図 1 8 の (B) は図 1 7 のシミュレーション回路 (図 4 で説明したメモリシステム) におけるリード動作のシミュレーション結果である。図中 $DQRSIN1 \sim DQRSIN4$ は夫々メモリチップのデータ信号 $bQR0 \sim 3$ ($2001 \sim 2004$) を出力させた時にそれぞれメモリコントローラに入力されるデータ信号 $DQRSIN1 \sim 4$ (2006) である。図 1 6 の (B) の比較例に係るメモリシステムのリード動作のシミュレーション結果におけるメモリチップで入力されるデータ信号 $DQRSIN1 \sim 4$ (2106) と比べると、波形の乱れが小さい事がわかる。出力抵抗を 15Ω にした系においても同様に良好な波形が得られる。この場合には消費電力は増えるが論理振幅を大きくできる効果がある。

【0061】《第 2 のメモリモジュール》図 1 9 には本発明に係る第 2 のメモリモジュールの断面が示される。図 1 9 の (A) は 1 バンク形式のメモリモジュールにおけるデータ信号配線に関する断面図である。本メモリモジュール 2 においてモジュールデータ端子対 24 L、24 R はモジュール基板 10 の一方の長辺部分に沿って両面に配置される。モジュールデータ配線 15 は貫通孔 200 を介してモジュールデータ端子対 24 R、24 L を接続している。モジュールデータ配線 15 は第 1 のメモリモジュール 1 と同じように一筆書きの配線径路を持ち、モジュールデータ配線 15 とメモリチップ 11 のチップデータ端子 D_m との間には前記ヴィア (層間孔) によって形成されるような実質的に無視し得るほど小さな分岐を生じている。この分岐部分は前述より明らかな如く不所望な信号反射の要因にはならない。

【0062】図 1 9 の (B) は 2 バンク形式のメモリモジュールの場合における信号配線に関する断面図であ

る。図 19 の (A) のメモリモジュール 2 では 1 本のモジュールデータ配線 15 はモジュール 10 の片面に設置されている一つのメモリチップ 11 のメモリデータ端子 Dm に接続されているのに対し、図 19 の (B) のメモリモジュールでは、1 本のモジュールデータ配線 15 はモジュール基板 10 の両面に設置されているメモリチップ 11, 11 のメモリデータ端子 Dm, Dm に一筆書き接続されている。

【0063】図 19 の (C) はメモリモジュール 2 の電源配線に関する断面図である。モジュール電源配線 201 は、メモリチップ 11 のチップ電源端子 Dp に配線されているが、一筆書き配線径路で接続する必要はなく、モジュール電源端子 202L、202R から夫々分岐する如く延在されている。なおモジュールコマンド・アドレス配線 16 やモジュールクロック配線 17 はモジュール電源配線 201 と同様に扱ってもよいし、図 1 のようにモジュールデータ配線 15 と同様に扱ってもよい。

【0064】図 20 の (A) は第 2 のメモリモジュール 2 のためのコネクタ 210 を信号配線に着目して示す。コネクタ 210 は一条の垂直溝を有し、垂直溝の左右内面にコネクタ端子列が紙面の表裏方向に形成され、図では代表してコネクタ端子 211, 212 が示されている。マザーボード上のデータ信号配線 112 はコネクタ端子 211, 212 に接続され、そこで分断されている。

【0065】図 20 の (B) は第 2 のメモリモジュール 2 のためのコネクタ 210 を電源配線に着目して示す。電源用のコネクタ端子として代表的に示されたコネクタ端子 213, 214 は、電源配線 108 から分岐された分岐配線 215, 216 に夫々接続されており、電源配線 108 は途中で電氣的に分断されていない。

【0066】図 21 の (A) にはメモリモジュール 2 を装着したメモリシステムの断面が信号配線に関して示される。同図に示されるメモリシステムにおいて、メモリモジュール 2 がコネクタ 210 に装着されると、コネクタ 210 で分断されたデータ信号配線 112 が、メモリモジュール 2 のモジュールデータ配線 15 を介して繋がる。

【0067】図 21 の (B) にはメモリモジュール 2 を装着したメモリシステムの断面が電源配線に関して示される。本メモリシステムにおいてはメモリモジュール 2 がコネクタ 210 に装着されると、メモリモジュール 2 のモジュール電源端子がコネクタ 210 の電源コネクタ端子 213, 214 を介してマザーボード 101 の電源配線 108 に接続する。尚、前記コマンド・アドレス信号配線 113 は、図 20 の (B) の電源配線 108 と同じように、マザーボード 101 のコマンド・アドレス信号線 113 からコネクタ 210 を介してメモリモジュール 2 に接続してもよいし、もちろん図 21 の (B) のように接続してもよい。

【0068】第 2 のメモリモジュール 2 によっても、上記同様に、不所望な信号反射の原因になる分岐を作らず、配線長の増大を招くことなく、マザーボード 101 のデータ信号配線にメモリチップを電氣的に接続させることができる。

【0069】《第 3 のメモリモジュール》図 22 は本発明に係る第 3 のメモリモジュールの平面図である。同図に示されるメモリモジュール 3 において、モジュールデータ端子対 24L, 24R はモジュール基板 10 の同じ面の同じ辺で隣り合うように配置され、当該端子対 24L, 24R は往復的に敷設されたモジュールデータ配線 15 によって結合され、そのモジュールデータ配線 15 の途中で一つのメモリチップ 11 のメモリデータ端子 Dm に一筆書き接続されている。

【0070】図 23 は第 3 のメモリモジュール 3 をコネクタで接続する形態を例示する。図 23 の (A) は図 22 のモジュールデータ端子 24L の位置での縦断面を想定し、図 23 の (B) は図 22 のモジュールデータ端子 24R の位置での縦断面を想定している。図 23 の

(A) においてデータ信号配線 112 はマザーボード 101 からコネクタ 300 のデータコネクタ端子 301L 及びモジュールデータ端子 24L を介してメモリモジュール 3 のモジュールデータ配線 15 に接続される。前記モジュールデータ配線 15 はモジュール基板 10 上で径路が折り返され、図 23 の (B) に例示されるように、その隣のモジュールデータ端子 24R に至り、コネクタ 300 のデータコネクタ端子 301R からマザーボード 101 のデータ信号配線 112 に導通する。マザーボード 101 上の電源配線 108 との接続態様については特に図示はしないが、図 21 の (B) と同様に、マザーボード 101 の電源配線 108 からコネクタを介してメモリモジュール 3 のモジュール電源端子に接続すればよい。

【0071】第 3 のメモリモジュール 3 によっても、上記同様に、分岐を作ることなくまた配線長の増大を招くことなくデータ信号配線にメモリチップを接続する事ができる。

【0072】《ダミーメモリモジュール》図 24 には第 1 のメモリモジュール 1 と共に利用可能なダミーメモリモジュール 1A の平面図、図 25 にはダミーメモリモジュールの側面図が示される。同図に示されるダミーメモリモジュール 1A は図 1 のメモリモジュール 1 に対してメモリチップ 11、コマンド・アドレスバッファチップ 12、PLL チップ 13、モジュールコマンド・アドレス分配配線 19、モジュールクロック分配配線 20、終端抵抗 22, 23 を省略した構成を備える。換言すれば、ダミーメモリモジュール 1A は、モジュール基板 10 に、24L、25R で代表されるモジュール端子対、モジュールデータ配線 15、モジュールコマンド・アドレス配線 16、及びモジュールクロック配線 17 を有す

る。図 24 に示されるダミーメモリモジュール 1 A は図 5 及び図 4 で説明したメモリシステムにおいて、メモリモジュール 1 の代わりにコネクタ 104 に A, 104 B に装着して利用すれば、信号線 112, 113, 117 の経路に分岐を作ることなくまた配線長の増大を招くことなく、メモリシステムのメモリ容量を変更することが可能になる。

【0073】特に図示はしないが、ダミーメモリモジュール 1 A 上の配線 15, 16, 17 にチップ 11, 12, 13 の入力容量を再現したダミー容量を設ければ、実効的特性インピーダンスを乱さず、波形の乱れを更に抑える事が可能になる。

【0074】図 26 は第 2 のメモリモジュール 2 と共に利用可能なダミーメモリモジュール 2 A を示し、(A) は a-a 断面図、(B) は拡大表面図、(C) は拡大裏面図である。図 26 のダミーメモリモジュール 2 A は、図 19 に示されるメモリモジュール 2 に対してメモリチップ 11 等のデバイスが搭載されていない構成を有する。要するに、モジュール基板 10 の表裏に 24 L, 25 R で代表されるモジュール端子対、15 で代表されるモジュール配線、モジュール配線の貫通孔 200 によって構成されている。図 21 のメモリシステムにおいてメモリモジュール 2 の代わりに前記ダミーメモリモジュール 2 A を用いれば、分岐を作ることなく、また配線長の増大を招くことなく、メモリシステムのメモリ容量を変更する事が可能になる。

【0075】図 27 には第 3 のメモリモジュール 3 と共に利用可能なダミーメモリモジュール 3 A が示される。同図に示されるメモリモジュール 3 A は、図 22 に示されるメモリモジュール 3 に対してメモリチップ 11 等のデバイスが搭載されていない構成を有する。要するに、モジュール基板 10 の表面に 24 L, 25 R で代表されるモジュール端子対、15 で代表されるモジュール配線が設けられて構成されている。第 3 のメモリモジュール 3 の代わりにダミーメモリモジュール 3 A を用いれば、分岐を作ることなく、また配線長の増大を招くことなく、メモリシステムのメモリ容量を変更する事が可能になる。

【0076】《終端用メモリモジュール》図 28 は第 1 のメモリモジュール 1 に終端抵抗を搭載して成る終端用のメモリモジュール 1 B を示し、(A) は部分平面図、(B) は側面図である。図 28 に示されるメモリモジュール 1 B は、図 1 のモジュール端子対 24 L, 24 R 等の一方のモジュール端子 24 R 等を取り除き、残りのモジュール端子 24 L などに接続されたモジュールデータ配線 15 などに終端抵抗 106 A を接続し、この終端抵抗 106 A に終端電源端子 30 を接続して構成される。図 28 の (B) に示されるようにモジュール基板 10 の裏面側も同様に構成される。

【0077】図 29 は図 24 のダミーメモリモジュール

1 A に対応される終端用のダミーメモリモジュール 1 C を示す。図 24 のダミーメモリモジュールに対してモジュール端子対 24 L, 24 R 等の一方のモジュール端子 24 R 等を取り除き、残りのモジュール端子 24 L などに接続されたモジュールデータ配線 15 などに終端抵抗 106 A を接続し、この終端抵抗 106 A に終端電源端子 30 を接続して構成される。

【0078】図 4 のメモリシステムにおいて前記メモリモジュール 1 の代わりに図 28 に示されるメモリモジュール 1 B 又は図 29 に示されるメモリモジュール 1 C を用いれば、マザーボード 101 上の終端抵抗 106 を使うことなく、マザーボード 101 上の信号配線 112, 113, 117 をメモリモジュール上で終端できる。

【0079】図 30 は図 19 の (A) に示されるメモリモジュール 2 に終端抵抗を搭載して成る終端用のメモリモジュール 2 B を示し、(A) は a-a 断面図、(B) は拡大表面図、(C) は拡大裏面図である。図 30 に示されるメモリモジュール 2 B は、図 19 のモジュール端子対 24 L, 24 R 等の一方のモジュール端子 24 R 等を取り除き、残りのモジュール端子 24 L などに接続されたモジュールデータ配線 15 などに終端抵抗 106 A を接続し、この終端抵抗 106 A に終端電源端子 30 を接続して構成される。

【0080】図 21 のメモリシステムにおいてメモリモジュール 2 の代わりに前記終端用メモリモジュール 2 B を利用すれば、マザーボード 101 上の終端抵抗 106 を使うことなく、信号配線 112 をメモリモジュール上で終端する事が可能となる。別の信号配線 113, 117 についても同様の構成を採用する事が可能である。

【0081】図 31 は図 22 に示されるメモリモジュール 3 に終端抵抗を搭載して成る終端用のメモリモジュール 3 B を示す。図 31 に示されるメモリモジュール 3 B は、図 22 のモジュール端子対 24 L, 24 R 等の一方のモジュール端子 24 R 等を取り除き、残りのモジュール端子 24 L などに接続されたモジュールデータ配線 15 などに終端抵抗 106 A を接続し、この終端抵抗 106 A に終端電源端子 30 を接続して構成される。図 22 に示されるメモリモジュール 3 の代わりに前記終端用メモリモジュール 3 B を利用すれば、マザーボード 101 上の終端抵抗 106 を使うことなく、信号配線 112 などをメモリモジュール上で終端する事が可能となる。

【0082】《コネクタのその他の形態》図 32 及び図 33 には図 7 及び図 8 の前記コネクタ 104 A, 104 B の別の形態が例示される。図 32 はデータ信号線 112 に接続する部分を断面で 4 示し、図 33 は電源線 108 に接続する部分を断面で示す。コマンド、アドレス信号線 113, クロック信号線 117 に接続する部分は例えば図 33 のように構成される。

【0083】要するに、図 32、図 33 の構成は図 7、図 8 のコネクタ 104 A, 104 B を上下 2 分割で着脱

可能に構成して、メモリモジュール 1、1A、1Bの装着を容易化したものである。

【0084】即ち、コネクタ 104A を 104Aa と 104Ab に 2 分割し、分割片 104Aa の底面には凸条に形成された 1 条のコネクタ端子部 104Ap が設けられ、分割片 104Ab の上面には凹条に形成された 1 条のコネクタ端子部 104Ag が設けられる。同様に、分割片 104Ba の底面には凸条に形成された 2 条のコネクタ端子部 104Bp1、104Bp2 が設けられ、分割片 104Bb の上面には凹条に形成された 2 条のコネクタ端子部 104Bb1、104Bg2 が設けられる。

【0085】図 32 において、前記コネクタ端子部 104Ap、104Ag のデータ信号線 112 に対応する部分では、コネクタ内蔵配線 135a、135b によってデータ信号配線 112 がコネクタ端子列 130 の対応端子に導通可能にされる。また、図 33 において、前記コネクタ端子部 104Ap、104Ag の電源配線 108 に対応する部分ではコネクタ内蔵配線 137a、137b によって電源配線 108 がコネクタ端子列 130 の対応端子に導通可能にされる。コマンド・アドレス信号配線 113、クロック信号線 117 に接続するコネクタ 104Aa、104Ab の部分も図 33 の場合と同様にされる。

【0086】更に、図 32 に示されるようにコネクタ 104B の分割片 104Ba におけるコネクタ端子列 131 と 132 のデータ信号線 112 に対応する対応端子はコネクタ内蔵配線 133、134 によって相互に導通され、実質的に図 7 と同様に構成される。また、図 33 において、前記コネクタ端子部 104Bp1、104Bg1 の電源配線 108 に対応する部分ではコネクタ内蔵配線 138a、138b によって電源配線 108 がコネクタ端子列 131 の対応端子に導通可能にされる。同様に、前記コネクタ端子部 104Bp2、104Bg2 の電源配線 108 に対応する部分ではコネクタ内蔵配線 139a、139b によって電源配線 108 がコネクタ端子列 132 の対応端子に導通可能にされる。コマンド・アドレス信号配線 113、クロック信号線 117 に接続するコネクタ 104Ba、104Bb の部分も図 33 の場合と同様にされる。

【0087】図 32 及び図 33 のコネクタを用いたメモリシステムにメモリモジュールを装着する作業は次の通りである。例えば、メモリモジュール 1 の左右のモジュール端子にコネクタ分割片 104Aa のコネクタ端子列 130 とコネクタ分割片 104Ba のコネクタ端子列 131 を結合する。続けて次のメモリモジュール 1 の左右のモジュール端子にコネクタ分割片 104Ba のコネクタ端子列 132 とコネクタ分割片 104Ba のコネクタ端子列 131 を結合する。このようにして、必要な数のメモリモジュールを横に直列に結合した後、メモリモジュールに結合されたコネクタ分割片 104Aa のコネク

タ端子 104Ap を対応するコネクタ分割片 104Ab のコネクタ端子 104Ag に結合すると共に、メモリモジュールに結合されたコネクタ分割片 104Ba のコネクタ端子 104Bp1、104Bp2 を対応するコネクタ分割片 104Bb のコネクタ端子 104Bg1、104Bg2 に結合する。これにより、メモリモジュールの設置作業に必要となる空間がメモリシステムの上方空間のみとなるので、メモリシステムの周囲に他の装置を設置したり、メモリシステムを壁で囲まれた場所に設置する事ができる。

【0088】図 34 にはコネクタの機能を一部備えたメモリモジュールの例が示される。同図に示されるメモリモジュール 1C は、図 1 のメモリモジュール 1 に、図 33 のコネクタ端子列 132 に相当する機能を持つコネクタ端子列 132E と前記コネクタ端子部 104Bp2 に相当する機能を持つコネクタ端子部 104BpE とを付加して構成される。コネクタ端子列 132E はモジュールデータ配線 15 に接続され、コネクタ端子部 104BpE はモジュール電源配線、モジュールコマンド・アドレス配線 16、及びモジュールクロック配線 17 に接続される。前記コネクタ端子部 104BpE に対応してマザーボード 101 にはコネクタ 104B が配置される。図 34 の構成を採用することにより、メモリモジュール設置作業において図 32 及び図 33 の構成に比べてメモリモジュールをマザーボードに接続する作業量を低減できる。更にメモリシステムの部品点数も削減でき、メモリシステムの低コスト化に寄与することも可能であると考えられる。

【0089】図 35 はメモリモジュール 1 に適用可能な別の形態のコネクタをデータ信号線 112 に接続する部分の断面で示す。コネクタ 154、155、156 は、夫々上向きの凹溝に形成されたコネクタ端子 154A、155A、156A を有し、メモリモジュール 1 を起立させて支持することができる。コネクタ 157 は下向きの凹溝に形成されたコネクタ端子 157A、157B を有し、起立された一対のメモリモジュール 1 に挿入される。マザーボード 101 上データ信号配線 112 は、コネクタ内配線 154a、154b を介してコネクタ端子 154A に、コネクタ内配線 155a、155b を介してコネクタ端子 155A に、コネクタ内配線 156a、156b を介してコネクタ端子 156A に、コネクタ内配線 157a、157b を介してコネクタ端子 157A、157B に、夫々結合する。したがって、コネクタ 154、155、157 にメモリモジュール 1 を装着すると、配線 154a、157a、156a が夫々データ信号線 112 に導通し、配線 154b、157b、156b が夫々データ信号線 112 に導通する。メモリモジュール 1 は分岐を有すること無くデータ信号配線 112 に導通可能になる。

【0090】図 36 はメモリモジュール 1 に適用可能な

更に別の形態のコネクタをデータ信号線 112 に接続する部分の断面で示す。コネクタ 164 は上向きの凹溝に形成されたコネクタ端子 164A を有し、コネクタ 165 は上向きの凹溝に形成されたコネクタ端子 165A, 165B を有し、メモリモジュール 1 を起立させて支持することができる。コネクタ 166 は下向きの凹溝に形成されたコネクタ端子 166A, 166B を有し、起立された一対のメモリモジュール 1 に挿入される。マザーボード 101 上のデータ信号配線 112 は、コネクタ内配線 164a, 164b を介してコネクタ端子 164A に接続する。コネクタ端子 165A と 165B はコネクタ内配線 165a, 165b を介して相互に結合する。コネクタ端子 166A と 166B はコネクタ内配線 166a, 166b を介して相互に結合する。したがって、コネクタ 164, 165, 167 にメモリモジュール 1 を装着すると、配線 164a, 166a, 165a が夫々データ信号線 112 に導通し、配線 164b, 166b, 165b が夫々データ信号線 112 に導通する。メモリモジュール 1 は分岐を有すること無くデータ信号配線 112 に導通可能になる。

【0091】図 37 は図 36 のコネクタにおける電源配線部分の断面を示す。マザーボード 101 上の電源配線 108 は、途中で分岐してコネクタ内配線 164c, 165c を介して対応するコネクタ端子 164A, 165A の電源用端子に接続する。

【0092】図 38 には図 36 及び図 37 のコネクタにメモリモジュールを搭載した状態が示される。このコネクタ 164~166 を用いれば、分岐を作ることなく、また配線長の増大を招くことなく、データ信号配線にメモリ素子を接続するメモリシステムをマザーボード上に小占有面積で形成できる。図 35 のコネクタ 154~157 を用いても同じである。また、コマンド・アドレス信号配線 113、クロック信号配線 117 の接続に関しても図 35 又は図 36 のコネクタを用いればよい。

【0093】《メモリモジュールのその他の形態》図 39 の (A) 斜視図、(B) 側面図にはメモリモジュールの更に別の形態が示される。同図に示されるメモリモジュール 1C は前記メモリモジュール 1 に対して、データ端子対 24L, 24R に代表されるモジュール端子対 170L, 170R がモジュール基板 10 に対して直交する向きに形成されている点が相異される。

【0094】図 40 には図 39 のメモリモジュールを搭載したメモリシステムの一例が示される。マザーボード 101 上のコネクタとして、特に制限されないが、図 36 のコネクタ 164, 165 が用いられている。図 35 のコネクタ 154, 155, 156 などを用いてもよい。図 36 のコネクタ 166、図 35 のコネクタ 157 などが不用になり、また、メモリモジュールの設置作業に必要となる空間がメモリシステムの上方のみとなるので、メモリシステムの周囲に他の装置を設置したり、メ

モリシステムを壁で囲まれた場所に設置する事ができる。

【0095】図 41 及び図 42 にはメモリモジュールの更に別の例が示される。同図に示されるメモリモジュール 1D は前記メモリモジュール 1 の一方の面の構成のみをモジュール基板 10 に形成し、全体を樹脂などのパッケージ 180 で封止し、モジュール端子 170R, 170L をリード端子としてパッケージ 180 から外部に引き出して構成される。パッケージには設置方向を支持するマーク 181 が付されている。このメモリモジュール 1D はパッケージ 180 によりメモリチップ 11 などの半導体チップが保護されているので、取扱いの際に半導体チップが破壊され難い。また、外部の水分やほこりの影響を受け難く、耐久性が向上する。尚、パッケージによる封止構造は前記その他の構成を有するメモリモジュールにも当然適用可能である。

【0096】図 43 にはメモリモジュールの更にその他の形態が示される。図 43 に示されるメモリモジュール 1E は、基板裏面に端子 190, 191 を有する。またモジュール基板 10 の内部にはモジュール基板 10 の裏面の配線が通る貫通孔 192 を有している。モジュールデータ信号配線 15 は図 43 の (C) に示すように端子 190 及び 191 を結び、その途中、モジュール基板 10 の表面でメモリチップ 11 に実質的な一筆書き配線経路で接続される。また電源配線 201 は図 43 の (D) に示されるように一筆書き配線経路による接続でなくてよい。尚、コマンド・アドレスレジスタバッファチップ 12 へのモジュールコマンド・アドレス配線 16 や PLL チップ 13 へのモジュールクロック配線 17 に関しても、データ信号配線 15 と同様に、或いは電源配線 201 と同様に構成してよい。

【0097】図 44 は図 43 のメモリモジュール 1E を用いたメモリシステムのデータ信号配線部分の断面図を示し、図 45 は図 43 のメモリモジュール 1E を用いたメモリシステムの電源配線部分の断面図を示す。同図に示すように、端子の高さに段差が設けられ、図中隣り合うメモリモジュール 1E の端子を接続する端子間隔 IT がメモリモジュールの幅 WM より小さくなっているコネクタ 195 が採用される。また、データ信号配線 112 は隣り合うメモリモジュール 1E の信号端子を接続するコネクタの信号端子の間に分岐することなく配線されている。電源配線 108 は途中で分岐してメモリモジュール 1E に接続されている。図 43 のメモリモジュール 1E はデータ信号配線 112 に分岐を持たず、また隣り合うメモリモジュール 1E の端子を接続する端子の間隔 IT がメモリモジュール 1E の幅 WM より小さくなっているので、配線長を極力短くデータ信号配線 112 にメモリチップ 11 を接続するメモリシステムを実現できる。

【0098】図 46 にはモジュールデータ配線の別の敷設態様が示される。すなわち、メモリモジュール 1F

は、モジュール基板 10 と、前記モジュール基板 10 の長手方向に沿って搭載され、夫々複数のチップ接続端子を有する複数のメモリチップとを備える。図 46 にはチップ接続端子としてチップデータ端子 Dm が例示される。前記モジュール基板 10 は前記複数のメモリチップ 11 のチップデータ端子 Dm に対応して設けられた複数のモジュール接続端子 24 L、24 R と、前記モジュール接続端子と前記チップ接続端子とを接続するモジュールデータ配線 15 とを有する。前記モジュールデータ配線 15 は直線状に配置された複数個のチップデータ端子 Dm の内の所定のチップデータ端子 Dm を迂回して他の所定のチップデータ端子 Dm に接続される。このメモリモジュール 1 F によれば、メモリチップ 11 の縦横に多数配置されたチップデータ接続端子 Dm とモジュールデータ配線 15 との接続を比較的容易に実現することを可能にする。

【0099】以上本発明者によってなされた発明を実施形態に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

【0100】例えば、メモリチップはシンクロナス DRAM に限定されず、その他の記憶形式のメモリであってもよい。また、メモリモジュールは以上で説明のコネクタ以外の構成のコネクタを利用してメモリシステムを実現してよい。

【0101】本発明に係るメモリモジュールは、パーソナル・コンピュータ、ワークステーション、或いはサーバといった、大容量メモリを必要とするコンピュータシステムに利用して特に有効である。

【0102】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

【0103】すなわち、信号反射による信号波形の乱れを抑えて信号伝送の信頼性を向上させることができると共に、アクセス時間の増大を抑制することができるメモリモジュールを提供することができる。

【0104】また、本発明のメモリモジュールをコンピュータシステムに適用すれば、メモリシステムの周波数を向上しても、信号波形が乱れることなく、またレーテンシも抑えて高速データ伝送する事が可能となるので、コンピュータシステムによるデータ処理速度を向上する事ができる。

【図面の簡単な説明】

【図 1】本発明による第 1 のメモリモジュールの平面図である。

【図 2】本発明による第 1 のメモリモジュールの側面図である。

【図 3】図 1 のメモリモジュールにおけるメモリチップに関する布線の例を示す説明図である。

【図 4】図 1 のメモリモジュールを有するメモリシステムの平面図である。

【図 5】図 1 のメモリモジュールを有するメモリシステムの正面図である。

【図 6】図 4 のメモリシステムの概略的な等価回路図である。

【図 7】図 1 のメモリモジュールに適用可能なコネクタのデータ配線部分の概略縦断面図である。

【図 8】図 1 のメモリモジュールに適用可能なコネクタの電源配線部分の概略縦断面図である。

【図 9】図 1 のメモリモジュールに適用可能なコネクタにメモリモジュールを装着する際の斜視図である。

【図 10】図 1 のメモリモジュールに適用可能なコネクタのメモリモジュールを装着した状態の断面図である。

【図 11】SSTL インタフェースを有する比較例に係るメモリシステムの斜視図である。

【図 12】図 11 の比較例に係るメモリシステムの等価回路図である。

【図 13】メモリチップをシリアル接続したメモリモジュールを直列的に接続した比較例に係るメモリシステムの斜視図である。

【図 14】図 13 の比較例に係るメモリシステムの等価回路図である。

【図 15】図 11 の形式のメモリシステムにおける SSTL のシミュレーション回路図である。

【図 16】図 15 のシミュレーション回路におけるライト時とリード時の SSTL 信号波形シミュレーション結果を示す説明図である。

【図 17】図 4 で説明したようなメモリシステムのデータ信号に関するシミュレーション回路図である。

【図 18】図 17 のシミュレーション回路におけるライト動作とリード動作のシミュレーション結果を示す説明図である。

【図 19】本発明に係る第 2 のメモリモジュールに関する断面図である。

【図 20】第 2 のメモリモジュールに適用可能なコネクタの説明図である。

【図 21】第 2 のメモリモジュールを装着したメモリシステムの断面図である。

【図 22】本発明に係る第 3 のメモリモジュールの平面図である。

【図 23】第 3 のメモリモジュールをコネクタで接続する形態を例示する断面図である。

【図 24】第 1 のメモリモジュールと共に利用可能なダミーメモリモジュールの平面図である。

【図 25】図 24 のダミーメモリモジュールの側面図である。

【図 26】第 2 のメモリモジュールと共に利用可能なダミーメモリモジュールの説明図である。

【図 27】第 3 のメモリモジュールと共に利用可能なダミーメモリモジュールの平面図である。

【図 28】第 1 のメモリモジュールに終端抵抗を搭載して成る終端用のメモリモジュールの説明図である。

【図 29】図 24 のダミーメモリモジュールに対応される終端用のダミーメモリモジュールの説明図である。

【図 30】図 19 の (A) に示されるメモリモジュールに終端抵抗を搭載して成る終端用のメモリモジュールの説明図である。

【図 31】図 22 に示されるメモリモジュールに終端抵抗を搭載して成る終端用のメモリモジュールの説明図である。

【図 32】図 7 及び図 8 のコネクタに関する別の形態をデータ信号線部分に着目して示す断面図である。

【図 33】図 7 及び図 8 のコネクタに関する別の形態を電源配線部分に着目して示す断面図である。

【図 34】コネクタの機能を一部備えたメモリモジュールを例示する断面図である。

【図 35】メモリモジュールに適用可能な別の形態のコネクタをデータ信号線部分に着目して示す断面図である。

【図 36】メモリモジュールに適用可能な更に別の形態のコネクタをデータ信号線部分に着目して示す断面図である。

【図 37】図 36 のコネクタにおける電源配線部分に着目した断面図である。

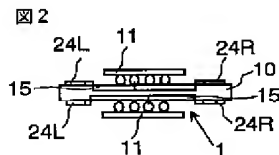
【図 38】図 36 及び図 37 のコネクタにメモリモジュールを搭載した状態を示す断面図である。

【図 39】下向きのモジュール端子対を備えたメモリモジュールの更に別の形態を示す斜視図である。

【図 40】図 39 のメモリモジュールを搭載したメモリシステムの一例を示す断面図である。

【図 41】パッケージによる封止構造を有するメモリモ

【図 2】



ジュールの平面図である。

【図 42】図 41 のメモリモジュール側面図である。

【図 43】モジュール基板の中央部にモジュール端子を有するメモリモジュールの説明図である。

【図 44】図 43 のメモリモジュールを用いたメモリシステムのデータ信号配線部分に着目した断面図である。

【図 45】図 43 のメモリモジュールを用いたメモリシステムの電源配線部分に着目した断面図である。

【図 46】メモリモジュールのモジュールデータ配線の別の敷設態様を示す平面図である。

【符号の説明】

1、1A、1B、1C、1D、1E、1F メモリモジュール

2、2A、2B メモリモジュール

3、3A、3B メモリモジュール

10 モジュール基板

11 メモリチップ

12 コマンド・アドレスバッファチップ

13 PLLチップ

20 15 モジュールデータ配線

16 モジュールコマンド・アドレス配線

17 モジュールクロック配線

19 モジュールコマンド・アドレス分配配線

20 モジュールクロック分配配線

24L, 24R データ端子対

25L, 25R コマンド・アドレス端子対

26L, 26R クロック端子対

101 マザーボード

104A, 1043B コネクタ

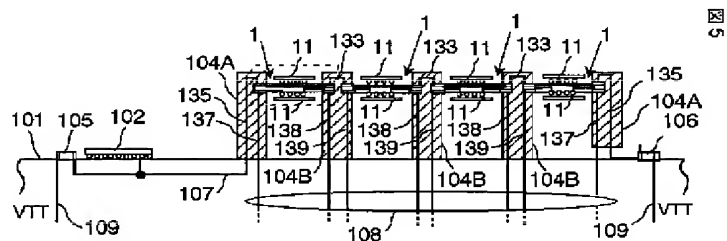
30 108 電源配線

112 データ信号配線

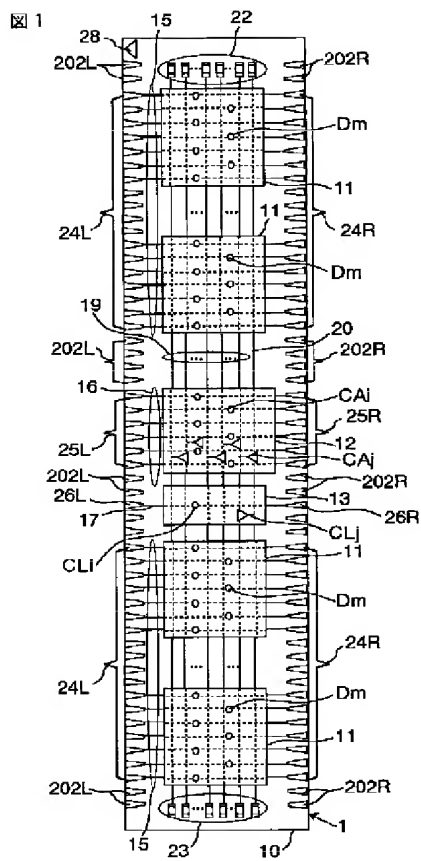
113 コマンド・アドレス信号配線

117 クロック信号配線

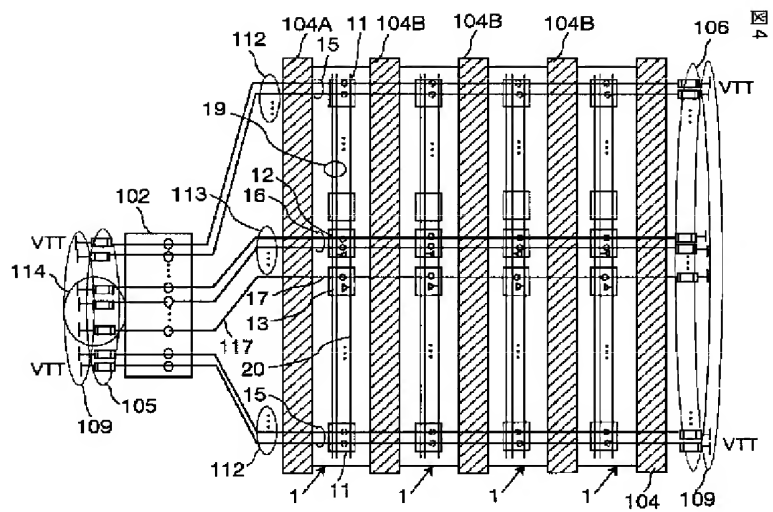
【図 5】



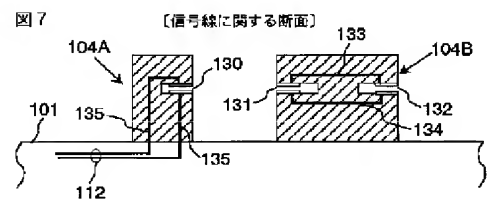
【図 1】



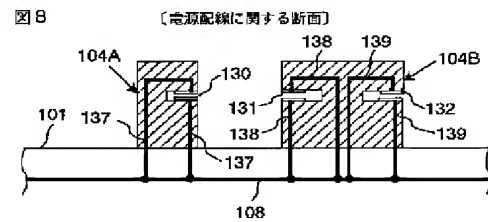
【図 4】



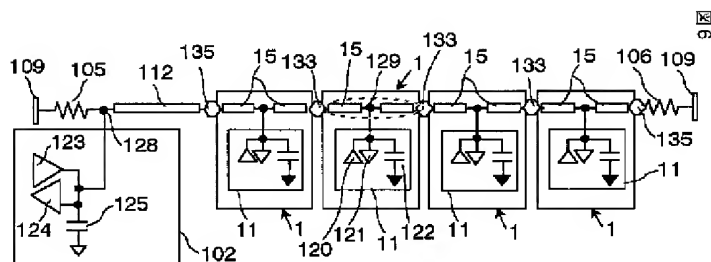
【図 7】



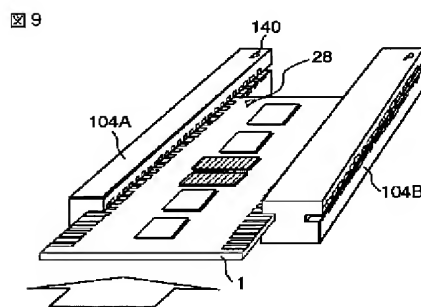
【図 8】



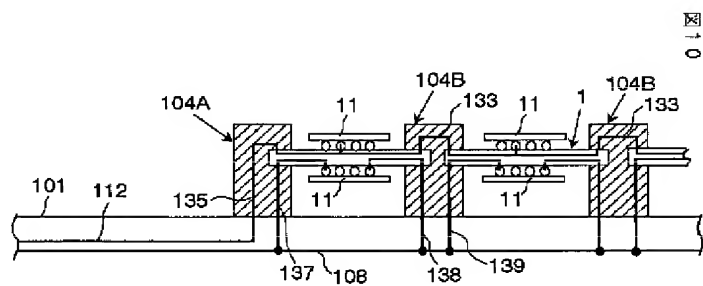
【図 6】



【図 9】

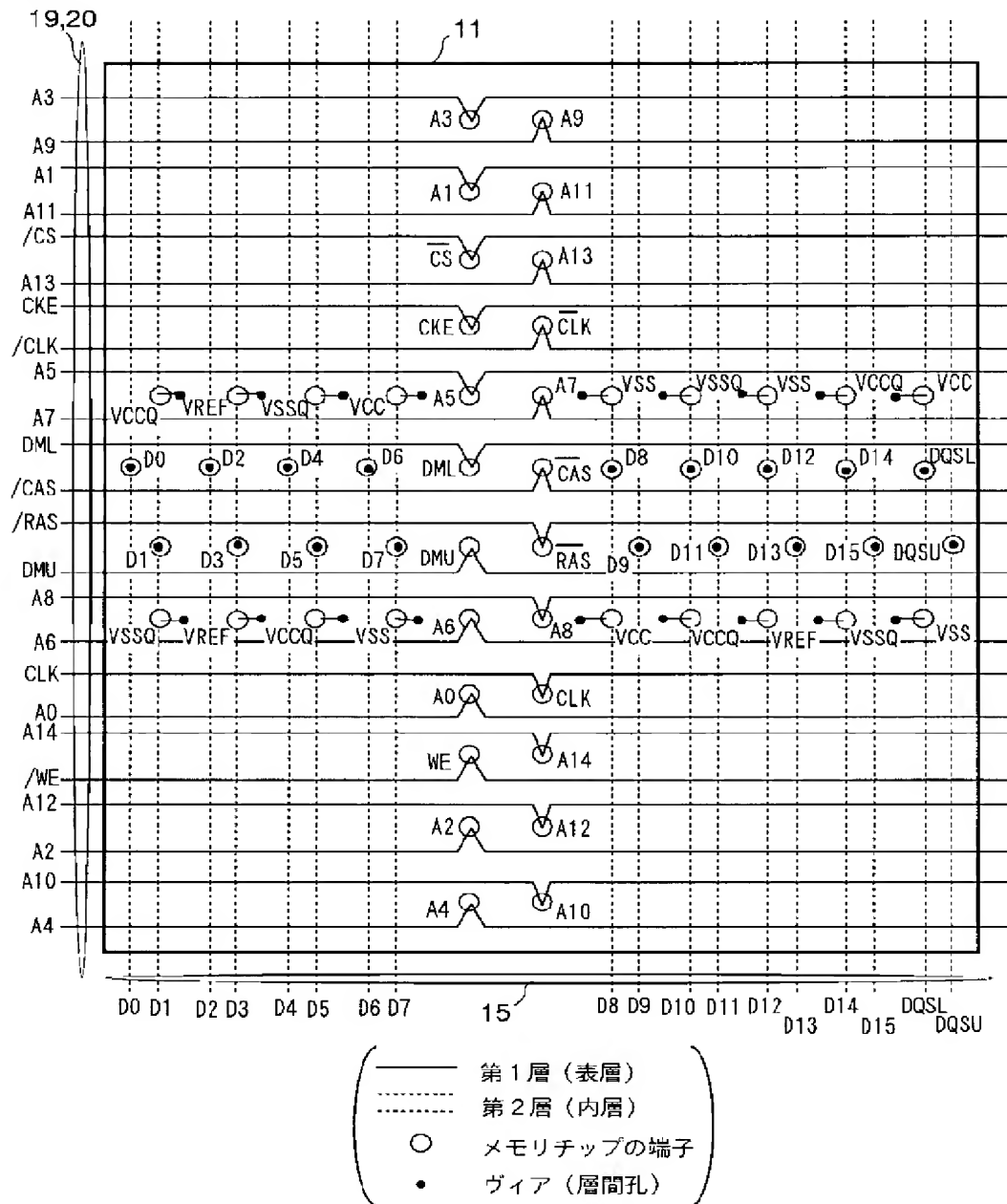


【図 10】



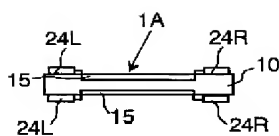
【図 3】

図 3

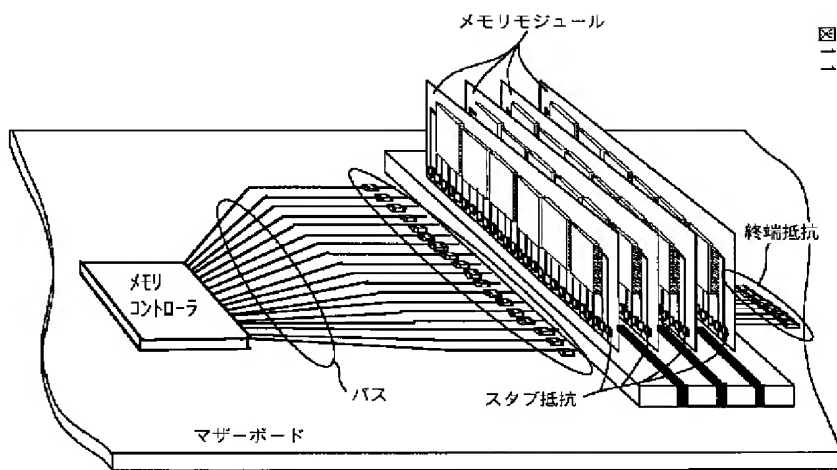


【図 2 5】

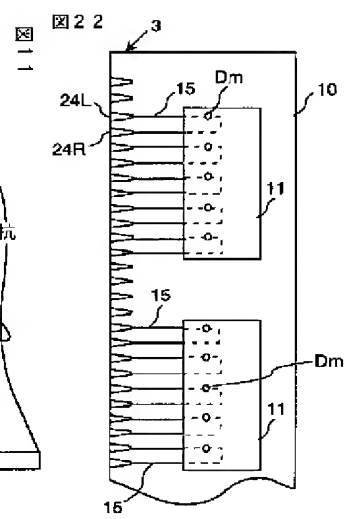
図 2 5



【図 1 1】



【図 2 2】



【図 1 2】

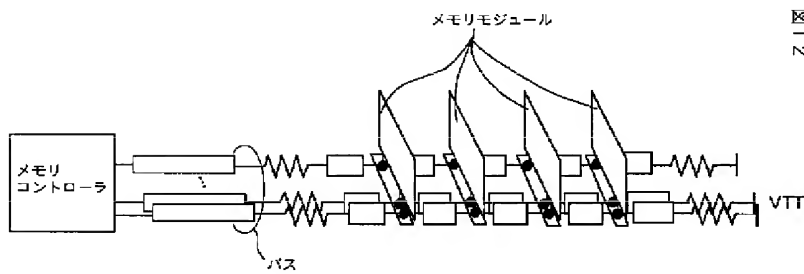
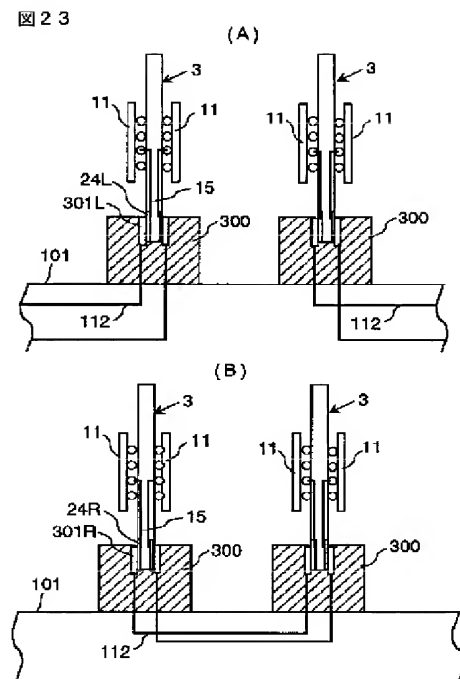


図 1 2

【図 2 3】



【図 1 3】

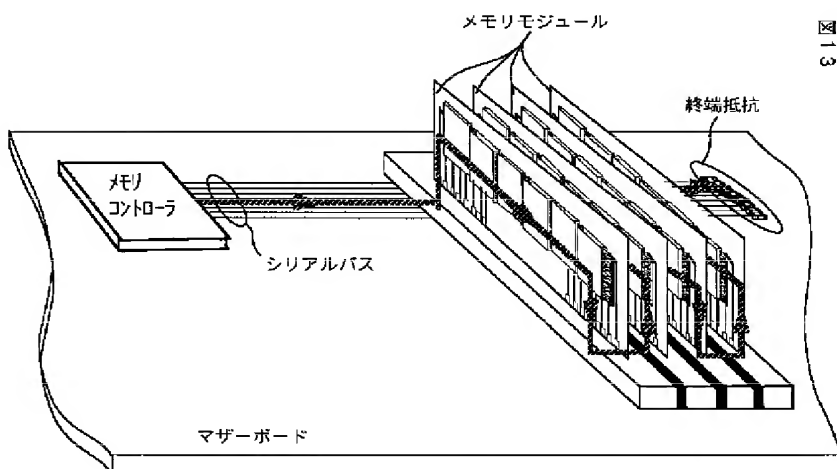
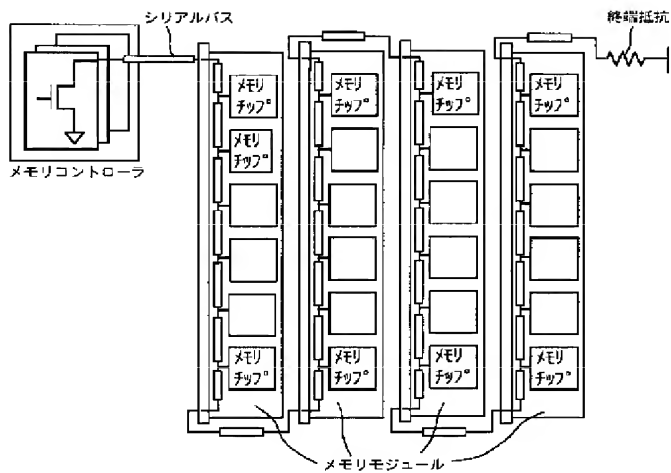
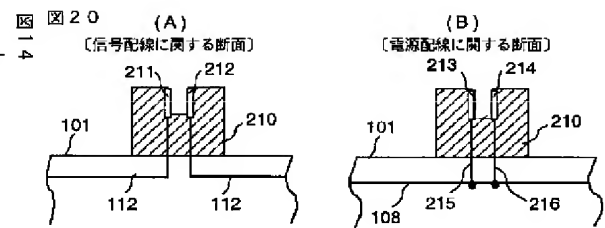


図 1 3

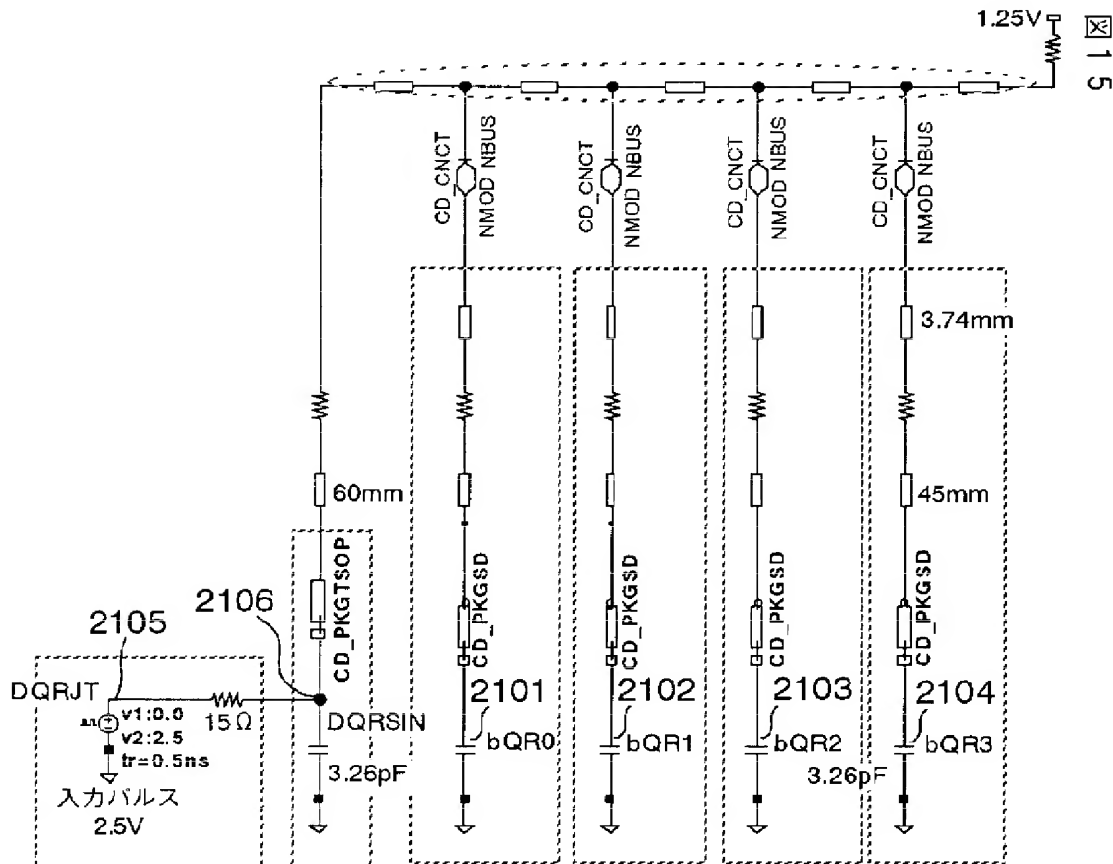
【図 14】



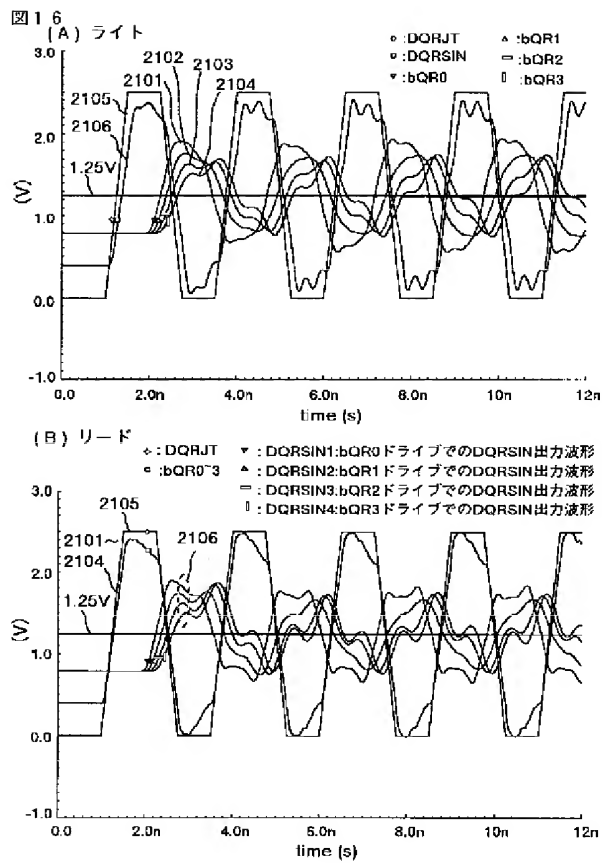
【図 20】



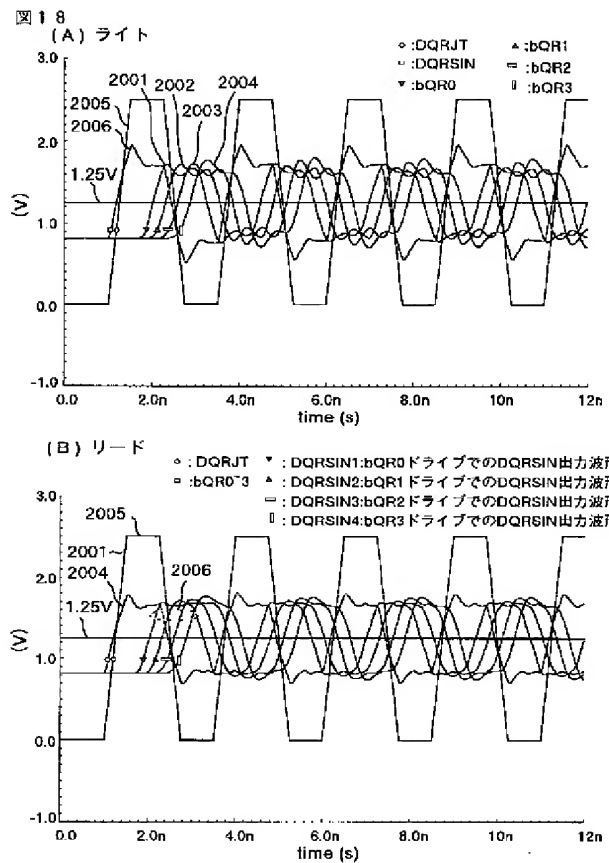
【図 15】



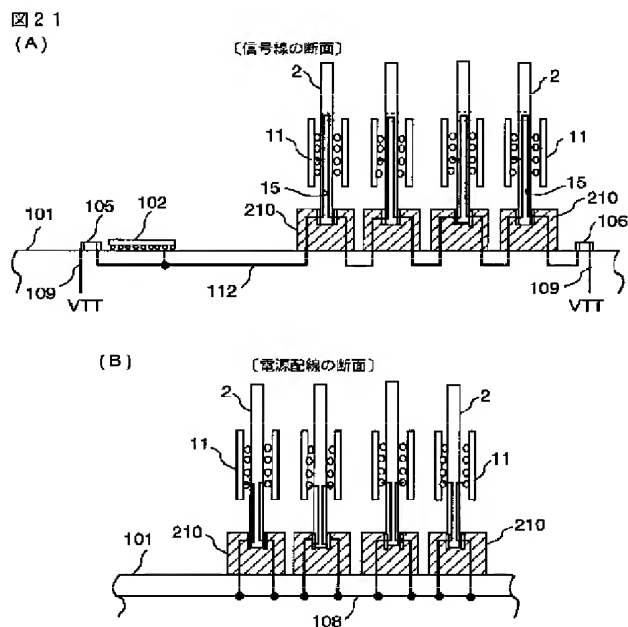
【図 16】



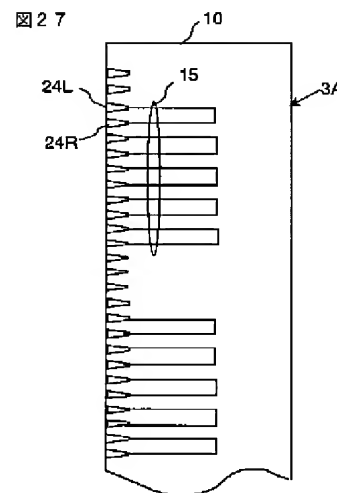
【図 18】



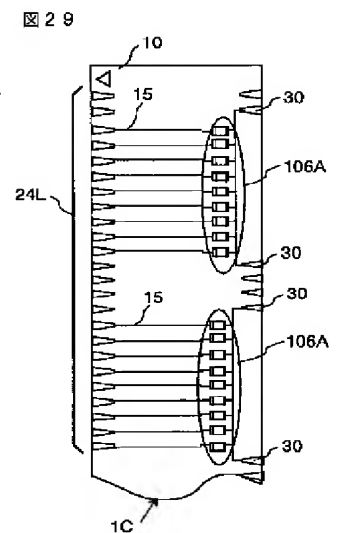
【図 21】



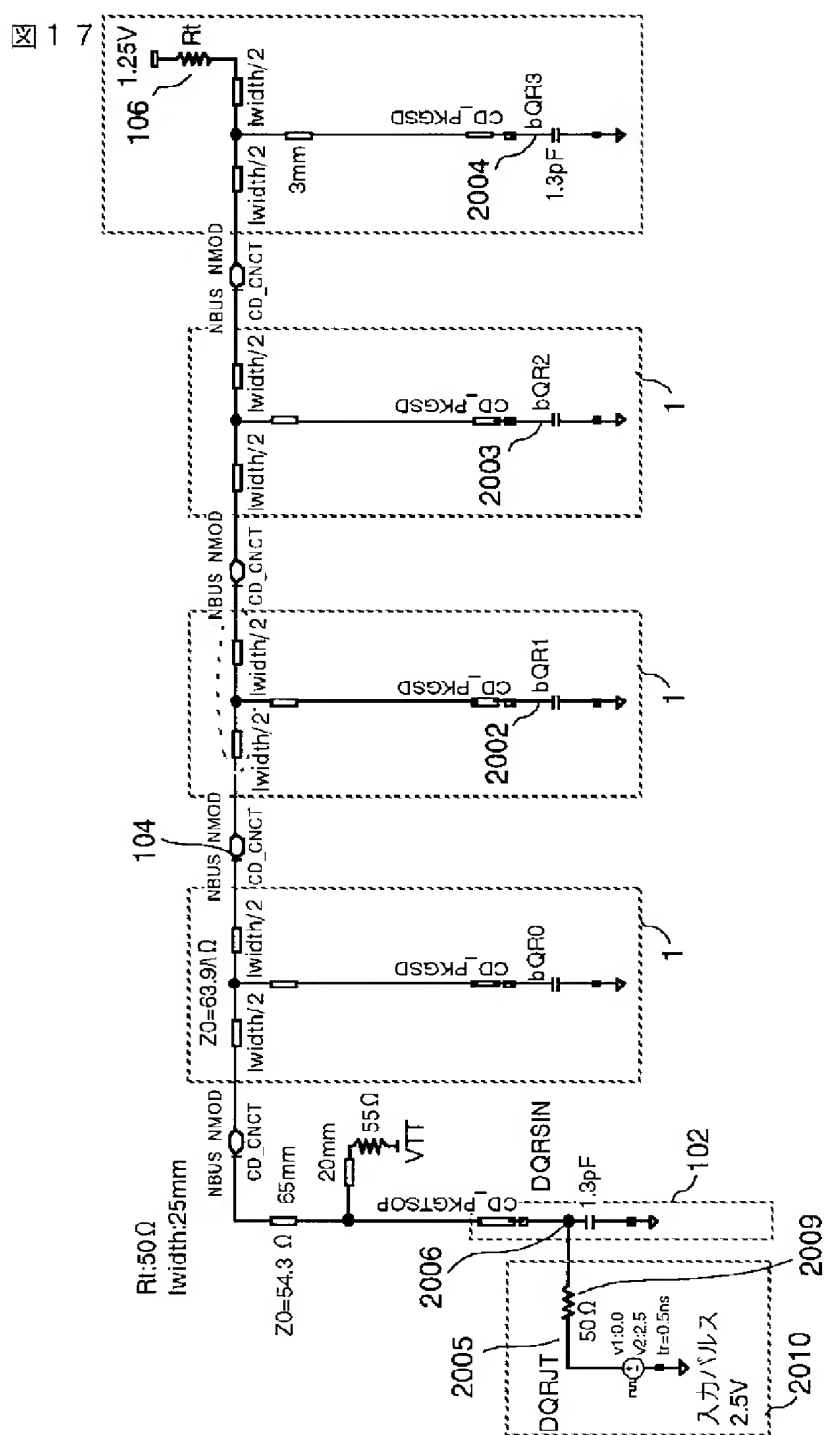
【図 27】



【図 29】

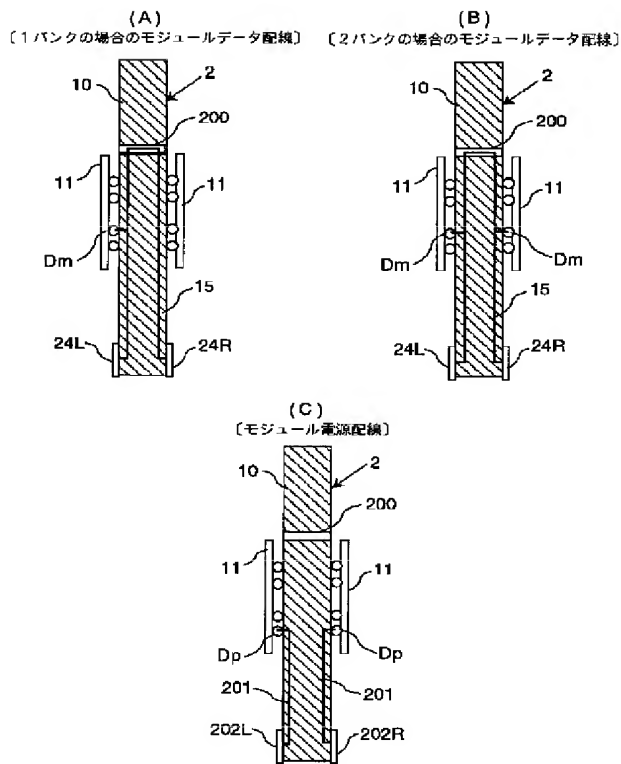


【图 1 7】



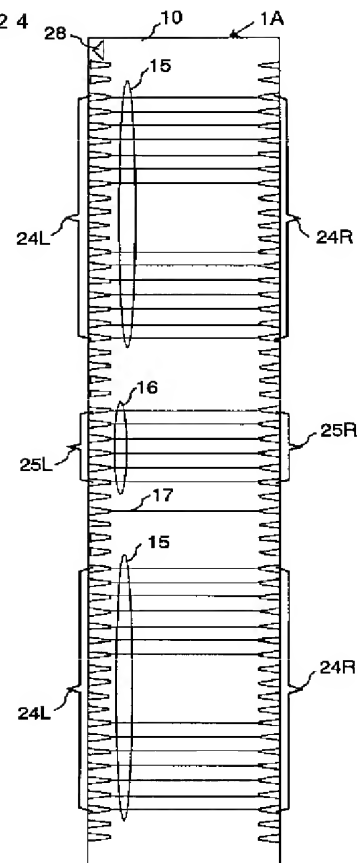
【図 19】

図 19



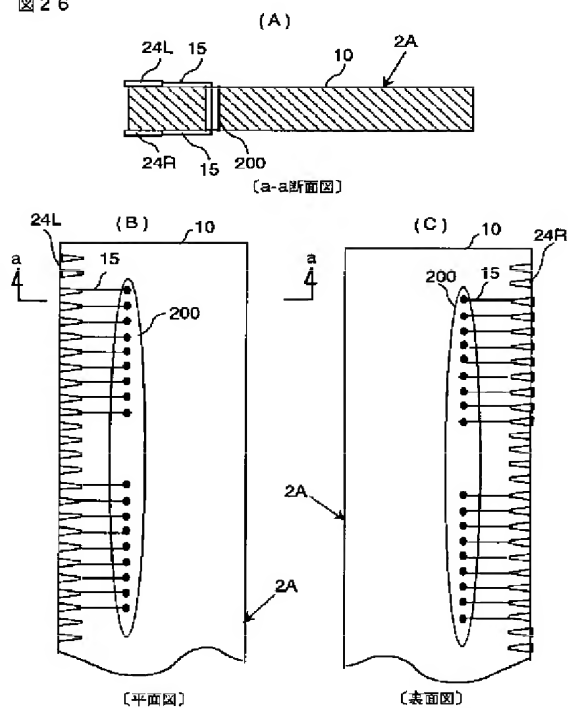
【図 24】

図 24



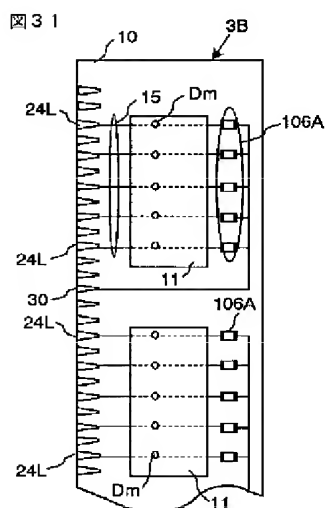
【図 26】

図 26



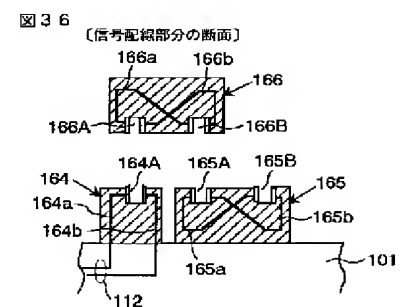
【図 31】

図 31



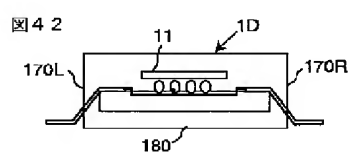
【図 36】

図 36

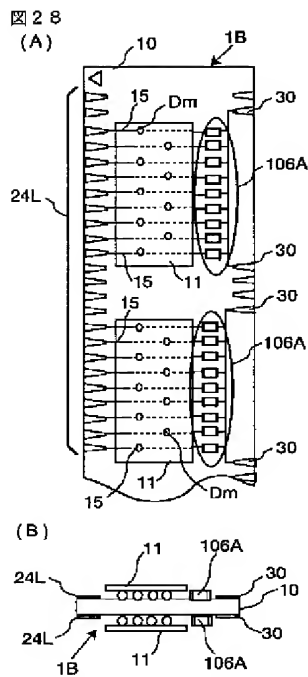


【図 42】

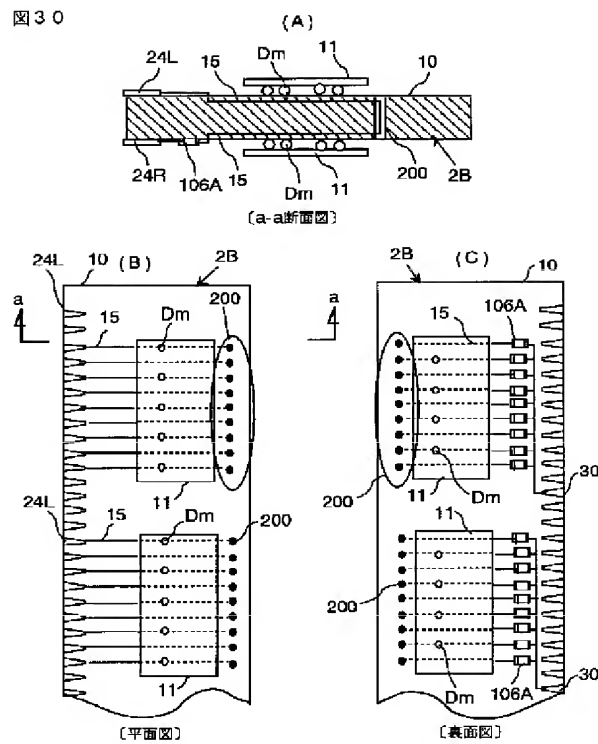
図 42



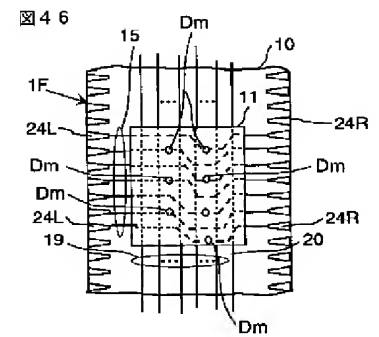
【図 28】



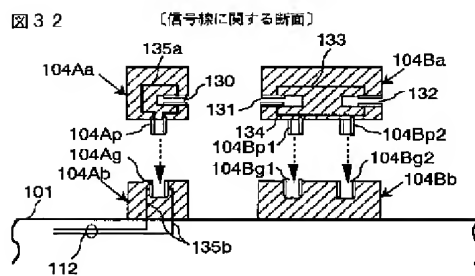
【図 30】



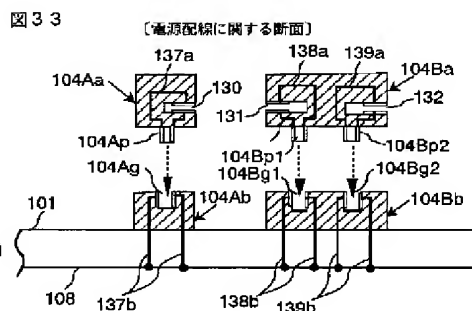
【図 46】



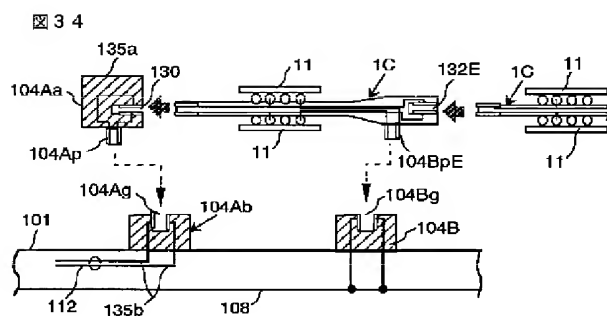
【図 32】



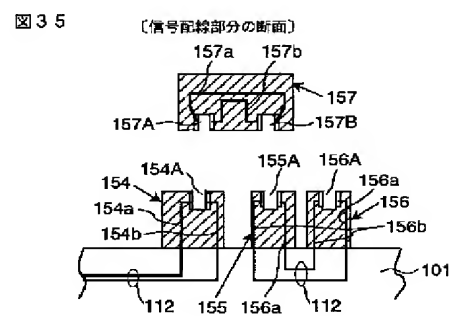
【図 33】



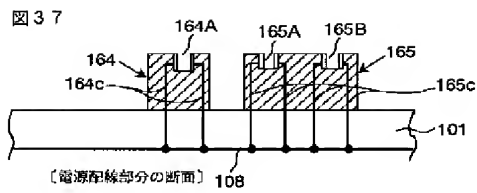
【図 34】



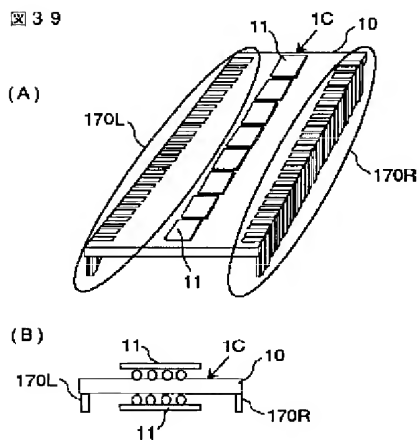
【図 35】



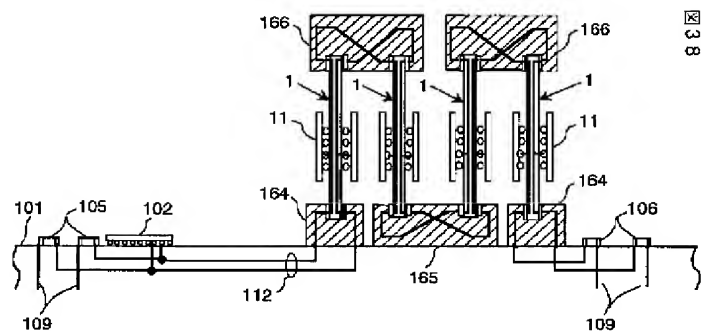
【図 37】



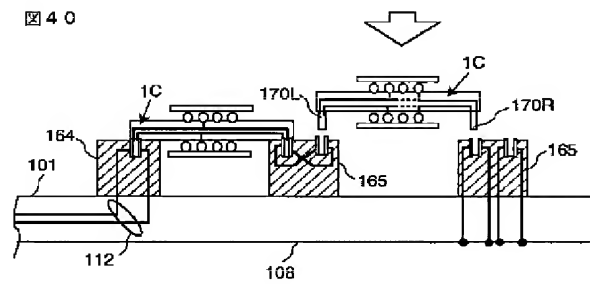
【図 39】



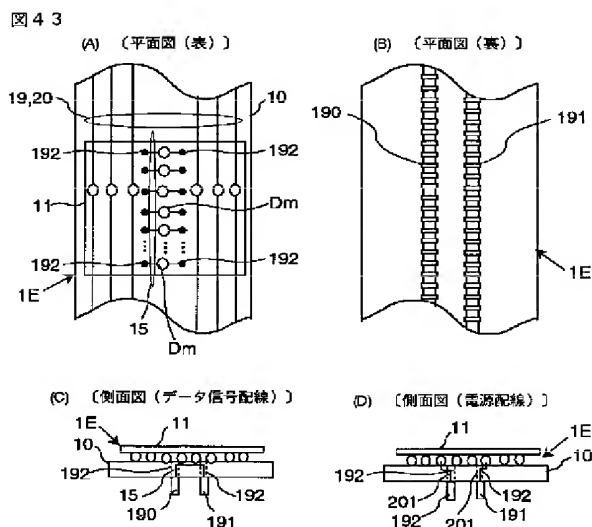
【図 38】



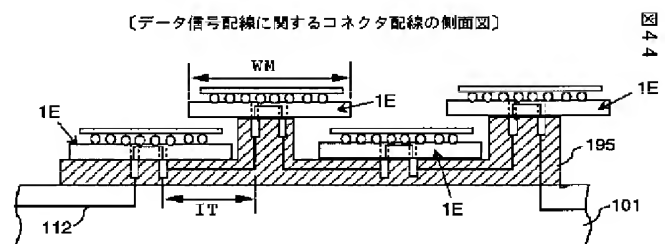
【図 40】



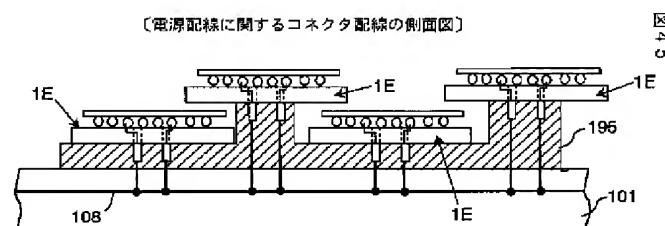
【図 43】



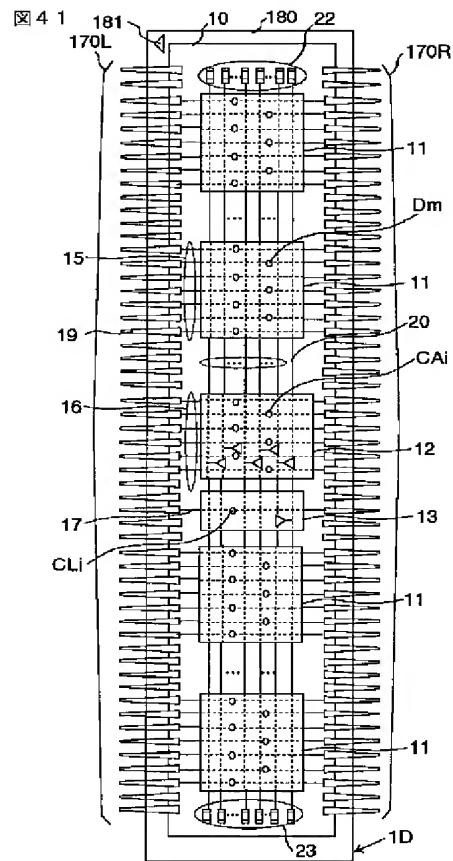
【図 44】



【図 45】



【図 41】



フロントページの続き

(51)Int. Cl.⁷
H01L 25/18

識別記号

F I

テーマコード(参考)

(72)発明者 堀口 真志
東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体グループ内

(72)発明者 西尾 洋二
東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体グループ内
Fターム(参考) 5B060 CA03 MM10